دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش الکترونیک

عنوان

بهبود ساختاری مدولاتورهای سیگما-دلتای زمان- پیوسته برای کاربردهای سرعت‌بالا

نگارش

علیرضا اکبرپور بازرگانی

(۹۳۱۲۳۱۶۴)

استاد راهنما

دکتر محمد یاوری

بهار ۱۳۹۶

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

این‌جانب علیرضا اکبرپور بازرگانی متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی این‌جانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌ها استفاده شده است، مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادرشده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

علیرضا اکبرپور بازرگانی

امضا

چکیده

در این پژوهش، ابتدا جبران‌سازی ELD به کمک حلقه‌ی سریع حول کوانتایزر در مدولاتورهای سیگما-دلتای زمان-پیوسته، مورد بررسی قرار گرفته است و روابط نظام‌مندی، برای محاسبه‌ی ضرایب مدولاتور تصحیح‌شده ارائه شده است. این روابط، بر مبنای تحلیل حوزه‌ی زمان خروجی فیلتر حلقه‌ی مدولاتور استخراج شده‌اند. به نحوی که، خروجی فیلتر ایده‌آل و فیلتر تصحیح شده، در لحظه‌های نمونه‌برداری، کاملاً یکسان باشد. مهم‌ترین مزیت روابط ارائه شده، امکان به‌کارگیری آن در ساختارهای مختلف، با شکل موج‌های دلخواه DAC مسیر فیدبک و همچنین قابلیت پیاده‌سازی نرم‌افزاری است. این در حالی است که روش‌های پیشین تنها امکان به‌کارگیری بر روی مدولاتورهایی را دارند که شکل موج DAC آن‌ها، قابل توصیف در حوزه‌ی فرکانس است. سپس روشی تحت عنوان جبران‌سازی دو مرحله‌ای ELD ارائه شده است که به کمک آن می‌توان محدودیت سرعت ناشی از تاخیر مدارهای DEM را کاهش داد. در این روش، که با تعمیم روی‌کرد ارائه‌شده در قسمت اول پژوهش به دست آمده است، خروجی کوانتایزر و خروجی مدار DEM به طور جداگانه و با دو تاخیر متفاوت به حلقه‌ی مدولاتور اعمال می‌شود. به این ترتیب که تاخیر خروجی کوانتایزر کم‌تر از یک تناوب پالس ساعت بوده، ولی تاخیر خروجی مدار DEM می‌تواند بین یک تا دو تناوب پالس ساعت باشد. با به‌کارگیری این روش، در مدولاتورهایی که تاخیر DEM عامل محدودیت سرعت است، نرخ نمونه‌برداری می‌تواند تا دوبرابر زیاد شود. نهایتا با استفاده از جبران‌سازی دو مرحله‌ای ELD، یک مدولاتور زمان-پیوسته مرتبه‌ی سوم، در سطح ترانزیستور در تکنولوژی TSMC CMOS 90nm با ولتاژ تغذیه‌ی ۱ شبیه‌سازی شده است. مدولاتور طراحی شده دارای SNDR=77 dB، پهنای‌باند 10 MHz و نرخ نمونه‌برداری 480 MHz بوده و معیار شایستگی آن برابر 195 fJ/conv-step است.

واژه‌های کلیدی:

مدولاتور سیگما-دلتا زمان-پیوسته، جبران‌سازی تاخیر حلقه، ELD، DEM، DWA، جبران‌سازی ELD در حوزه‌ی زمان.

فهرست مطالب

صفحه

۱ فصل اول: مقدمه ۱

۱-۱ انگیزه ۲

۱-۲ دستاوردها ۳

۱-۳ ساختار پایان‌نامه ۴

۲ فصل دوم: مبانی مبدل‌های آنالوگ به دیجیتال ۶

۲-۱ مفاهیم اولیه ۷

۲-۱-۱ مدل نویز سفید برای خطای کوانتیزاسیون ۹

۲-۲ معیارهای ارزیابی ۱۱

۲-۳ مبدل‌های نرخ نایکوئیست ۱۲

۲-۴ بیش نمونه‌برداری ۱۳

۲-۵ مبدل سیگما-دلتا ۱۴

۲-۶ افزایش کارایی مدولاتورهای سیگما-دلتا ۱۶

۲-۶-۱ افزایش OSR ۱۷

۲-۶-۲ افزایش مرتبه‌ی مدولاتور ۱۷

۲-۶-۳ به‌کارگیری کوانتایزر چند بیتی ۱۸

۲-۷ فیلتر حلقه در مدولاتورهای مرتبه‌ی بالاتر ۱۸

۲-۸ مدولاتور سیگما-دلتای زمان-پیوسته ۲۰

۲-۹ آثار غیر ایده‌آلی در مدولاتورهای سیگما-دلتای زمان پیوسته ۲۳

۲-۹-۱ تاخیر اضافی حلقه ELD ۲۴

۲-۹-۲ جیتر CLK در مدولاتورهای سیگما-دلتای زمان- پیوسته ۲۴

۲-۹-۳ عدم تطبیق المان‌های DAC ۲۵

۲-۱۰ مروری بر تحقیقات در زمینه‌ی مدولاتورهای زمان-پیوسته ۲۵

۳ فصل سوم: ELD در مدولاتورهای سیگما-دلتای زمان-پیوسته ۲۷

۳-۱ آثار ELD بر عملکرد مدولاتور سیگما-دلتا ۲۸

۳-۲ روش‌های جبران‌سازی ELD ۲۹

۳-۲-۱ جبران‌سازی با حلقه‌ی فیدبک سریع حول کوانتایزر ۲۹

۳-۲-۲ جبران‌سازی با مشتق‌گیر دیجیتال ۳۰

۳-۲-۳ جبران‌سازی دیجیتال ۳۲

۳-۲-۴ جبران‌سازی تناسبی ۳۲

۳-۳ بررسی روش‌های جبران‌سازی ELD ۳۴

۳-۳-۱ DR، SNR ۳۵

۳-۳-۲ تغییرات خروجی انتگرال‌گیرها ۳۵
۳-۳-۳ حاصل‌ضرب بهره-پهنای‌باند ۳۶
۳-۴ سایر روش‌های جبران‌سازی ELD ۳۹

۴ فصل چهارم: تحلیل زمانی جبران‌سازی مرسوم ELD ۴۱
۴-۱ تحلیل زمانی جبران‌سازی مرسوم ELD ۴۳
۴-۱-۱ جبران‌سازی زنجیره‌ی مرتبه‌ی اول ۴۴
۴-۱-۲ جبران‌سازی زنجیره‌ی مرتبه‌ی دوم ۴۷
۴-۱-۳ جبران‌سازی زنجیره‌ی مرتبه‌ی M ۵۲
۴-۲ بررسی صحت روابط به‌دست آمده ۵۸
۴-۳ نتیجه ۶۲

۵ فصل پنجم: جبران‌سازی دو مرحله‌ای ELD ۶۳
۵-۱ تشریح جبران‌سازی دو مرحله‌ای ELD ۶۵
۵-۲ استخراج روابط جبران‌سازی دو مرحله‌ای ELD ۶۷
۵-۳ خارج کردن مدار DWA از حلقه‌ی فیدبک سریع ۷۰

۶ فصل ششم: شبیه‌سازی مداری ۷۴
۶-۱ انتخاب ساختار ۷۵
۶-۲ تحقق مداری ۸۰
۶-۳ طراحی تقویت‌کننده‌های عملیاتی ۸۲
۶-۴ طراحی کوانتایز و DAC مسیر فیدبک ۸۹
۶-۴-۱ مقایسه‌کننده ۹۰
۶-۴-۲ D-Flip Flop ۹۲
۶-۴-۳ DAC جریان ۹۴
۶-۵ شبیه‌سازی مداری ۹۷

۷ فصل هفتم: نتیجه‌گیری و پیشنهادها ۱۰۳
۷-۱ نتیجه‌گیری ۱۰۴
۷-۲ پیشنهادها ۱۰۵

پیوست (الف) توابع MATLAB برای جبران‌سازی ELD ۱۰۶
الف-۱ تابع جبران‌سازی مرسوم ELD : ۱۰۸
الف-۲ تابع جبرانسازی دو مرحلهای ELD : ۱۰۸

پیوست (ب) مدولاتور سیگما دلتا با کوانتایزر SAR ۱۱۲

منابع و مراجع..... ۱۱۷

فهرست شکل‌ها

صفحه

شکل (۲-۱): طیف سیگنال پیوسته و سیگنال نمونه‌برداری شده متناظر آن ۷
شکل (۲-۲): مشخصه‌ی ورودی خروجی کوانتایزر ۲ بیتی ۸
شکل (۲-۳): خطای کوانتیزاسیون کوانتایزر دوبیتی ۹
شکل (۲-۴): الف) تابع چگالی احتمال و ب) چگالی طیف توان نویز کوانتیزاسیون ۱۰
شکل (۲-۵): مدل خطی کوانتایزر ۱۰
شکل (۲-۶): مثالی از طیف خروجی یک مبدل آنالوگ به دیجیتال ۱۱
شکل (۲-۷): ساختار کلی مدولاتور سیگما دلتا ۱۴
شکل (۲-۸): مدل خطی مدولاتور سیگما- دلتا ۱۵
شکل (۲-۹): شکل‌دهی نویز مرتبه‌ی اول ۱۶
شکل (۲-۱۰): تابع تبدیل نویز با مرتبه‌های مختلف ۱۷
شکل (۲-۱۱): مدولاتور مرتبه‌ی L با ساختار فیدبک ۱۸
شکل (۲-۱۲): مدولاتور مرتبه‌ی L با ساختار فیدفوروارد ۱۸
شکل (۲-۱۳): پیاده‌سازی فیدبک محلی ۱۹
شکل (۲-۱۴) : الف) مدولاتور سیگما-دلتای زمان-پیوسته ب) معادل زمان-گسسته ۲۰
شکل (۲-۱۵): فیلتر حلقه‌ی زمان-گسسته و زمان-پیوسته ۲۲
شکل (۲-۱۶): عوامل خطا در مدولاتورهای زمان-پیوسته ۲۳
شکل (۳-۱): تاثیر ELD با مقادیر مختلف بر روی شکل موج DAC ۲۸
شکل (۳-۲): مدولاتور سیگما-دلتای مرتبه دوم ۲۹
شکل (۳-۳): جبران‌سازی مرسوم با استفاده از حلقه‌ی سریع حول کوانتایزر ۳۰
شکل (۳-۴): جبران‌سازی ELD با مشتق‌گیر دیجیتال ۳۱
شکل (۳-۵): جبران‌سازی ELD به روش دیجیتال ۳۲
شکل (۳-۶): جبران‌سازی تناسبی ELD ۳۳
شکل (۳-۷): انتگرال‌گیر تناسبی ۳۳
شکل (۳-۸) : تابع STF مدولاتور مرتبه‌ی دوم ایده‌آل و مدولاتور جبران‌سازی شده به روش تناسبی[۳۹]. ۳۴
شکل (۳-۹): بیشینه‌ی SNR قابل دست‌یابی برای مدولاتور مرتبه‌ی دوم با توجه به روش جبران‌سازی [۳۹]. ۳۵
شکل (۳-۱۰): سوئینگ مورد نیاز آخرین انتگرال‌گیر با توجه به روش جبران‌سازی (دامنه‌ی ورودی برابر با $0.8 Vref$) ۳۶
شکل (۳-۱۱): تاثیر GBW انتگرال‌گیر دوم و جمع‌کننده، بر روی SNR در روش‌های مختلف جبران‌سازی. ۳۸
شکل (۳-۱۲): مدولاتور زمان-پیوسته با جبرانسازی دیجیتال ELD [۴۳] ۳۹

شکل (۳-۱۳): جبران‌سازی ELD بیش از یک تناوب پالس ساعت [۴۵] ۴۰
شکل (۴-۱): مدولاتور مرتبه‌ی L با ساختار فیدبک ۴۳
شکل (۴-۲): تفکیک فیلتر حلقه به شاخه‌های متشکل از انتگرال‌گیرهای سری ۴۳
شکل (۴-۳): فیلتر حلقه‌ی مدولاتور مرتبه‌ی اول ۴۴
شکل (۴-۴): خروجی الف) DAC و ب) انتگرال‌گیر فیلتر مرتبه‌ی اول، به ازای ورودی ضربه، در حالت ایده‌آل. ۴۴
شکل (۴-۵): فیلتر مرتبه‌ی اول با در نظر گرفتن ELD ۴۵
شکل (۴-۶) : خروجی الف) DAC و ب) انتگرال‌گیر فیلتر مرتبه‌ی اول، به ازای ورودی ضربه، در حضور ELD. ۴۵
شکل (۴-۷): پاسخ ضربهی خطای فیلتر، ناشی از تاخیر ELD ۴۶
شکل (۴-۸): جبران‌سازی فیلتر مرتبه‌ی اول ۴۷
شکل (۴-۹): زنجیره‌ی متشکل از دو انتگرال‌گیر ۴۷
شکل (۴-۱۰) : خروجی الف) DAC، ب) انتگرال‌گیر اول و ج) انتگرال‌گیر دوم زنجیره‌ی مرتبه‌ی دوم، به ازای ورودی ضربه ۴۸
شکل (۴-۱۱): پاسخ ضربه‌ی خروجی الف) انتگرال‌گیر اول، ب) انتگرال‌گیر دوم زنجیره‌ی مرتبه‌ی دو، در حضور ELD ۴۹
شکل (۴-۱۲): خطای تاخیر ورودی انتگرال‌گیر دوم ۵۰
شکل (۴-۱۳): جبران‌سازی زنجیره‌ی مرتبه‌ی دوم ۵۰
شکل (۴-۱۴): زنجیره‌ی مرتبه M جبران‌سازی شده ۵۲
شکل (۴-۱۵): زنجیره‌های تصحیح‌شده‌ی یک مدولاتور مرتبه‌ی سوم ۵۷
شکل (۴-۱۶): مدولاتور بازسازی‌شده با برهم‌نهی زنجیره‌های تصحیح‌شده ۵۷
شکل (۴-۱۷): مدولاتور زمان-پیوسته‌ی مرتبه‌ی دوم ۵۸
شکل (۴-۱۸): تجزیه‌ی مدولاتور مرتبه‌ی دوم به زنجیره‌های جزئی ۶۰
شکل (۴-۱۹): پاسخ ضربه‌ی الف) فیلتر ایده‌آل و ب) فیلتر جبران‌سازی شده، $T_S=1$ و ELD=0.75 ۶۱
شکل (۵-۱): مدولاتور با دو مرحله جبران‌سازی ELD ۶۵
شکل (۵-۲): خروجی گره‌های زنجیره‌ی مرتبه‌ی دوم برای $T_S < T_d < 2Ts$ ۶۶
شکل (۵-۳): زنجیره‌ی مرتبه‌ی M با دو مرحله جبران‌سازی ELD ۶۷
شکل (۵-۴): فیلترحلقه مدولاتور مرتبه‌ی سوم ۶۸
شکل (۵-۵): جبران‌سازی دومرحله‌ای مدولاتور مرتبه‌ی سوم ۶۹
شکل (۵-۶): پاسخ ضربه‌ی فیلتر مرتبه‌ی سوم در حالت‌های مختلف ۶۹
شکل (۵-۷): مدل خطای DAC در گره‌های مختلف مدولاتور سیگما-دلتا مرتبه‌ی دوم ۷۰
شکل (۵-۸): مسیر سیگنال در مدولاتور مرتبه‌ی دوم ۷۰
شکل (۵-۹): تابع تبدیل خطای DACهای مختلف تا خروجی مدولاتور مرتبه‌ی دوم ۷۱

شکل (۵-۱۰): توان نرمالیزه‌ی نویز خروجی ناشی از خطای DAC در گره‌های مختلف مدولاتور مرتبه‌ی دوم بر حسب SNR ۷۲
شکل (۵-۱۱): نسبت توان نویز DAC در ورودی انتگرال‌گیر دوم و کوانتایزر به کل توان نویز ناشی از خطای DAC ۷۳
شکل (۶-۱): مدولاتور مرتبه‌ی سوم با ساختار فیدفوروارد و جبران‌سازی دومرحله‌ای ELD ۷۵
شکل (۶-۲): طیف توان خروجی مدولاتور جبران‌سازی شده و بررسی STF ۷۶
شکل (۶-۳): مدل تقویت‌کننده‌ی غیر ایده‌آل ۷۷
شکل (۶-۴): تغییرات SNDR بر حسب تغییرات بهرهی dc تمامی تقویتکنندههای عملیاتی ۷۷
شکل (۶-۵): تغییرات SNDR بر حسب تغییرات GBW تمامی تقویتکنندههای عملیاتی ۷۸
شکل (۶-۶): طیف خروجی مدولاتور با DAC غیرخطی ۷۹
شکل (۶-۷): طیف خروجی مدولاتور با DAC غیرخطی و مدار DWA برای تمامی DACها ۷۹
شکل (۶-۸): طیف خروجی مدولاتور با DAC غیرخطی و مدار DWA خارج از حلقه‌ی سریع ۸۰
شکل (۶-۹): پیادهسازی مداری مدولاتور مرتبه‌ی سوم با ساختار فیدفوروارد ۸۱
شکل (۶-۱۰): تقویت‌کننده‌ی دوطبقه تمام تفاضلی با جبران‌سازی میلر ۸۲
شکل (۶-۱۱): منابع نویز تقویت‌کننده ۸۴
شکل (۶-۱۲): مدار CMFB ۸۶
شکل (۶-۱۳): مدار گرایش سوئینگ زیاد ۸۶
شکل (۶-۱۴): اندازه‌ی پاسخ فرکانسی تقویت‌کننده‌ی عملیاتی در سه گوشه‌ی تکنولوژی ۸۸
شکل (۶-۱۵): فاز پاسخ فرکانسی تقویت‌کننده‌ی عملیاتی در سه گوشه‌ی تکنولوژی ۸۸
شکل (۶-۱۶): مسیرهای فیدبک مدولاتور طراحی‌شده و زمان‌بندی منابع پالس ساعت مسیر فیدبک ۸۹
شکل (۶-۱۷): مقایسه‌کننده‌ی به‌کار رفته در مدولاتور سیگما-دلتا ۹۰
شکل (۶-۱۸): نتیجه‌ی آزمون بیش‌رانی مقایسه‌کننده‌ی طراحی‌شده ۹۱
شکل (۶-۱۹): مدار تزویج خازنی برای مقایسه‌ی ورودی تفاضلی ۹۲
شکل (۶-۲۰): DFF با ساختار Master-Slave حساس به لبه‌ی بالارونده‌ی CLK ۹۲
شکل (۶-۲۱): مدار DFF الف) Master ب) Slave ۹۳
شکل (۶-۲۲): شبیه‌سازی DFF ۹۴
شکل (۶-۲۳): المان واحد DAC جریان ۹۵
شکل (۶-۲۴): طیف خروجی مدولاتور طراحی‌شده، حاصل از شبیه‌سازی مداری TT @ +27 C ۹۸
شکل (۶-۲۵): طیف خروجی مدولاتور طراحی‌شده، حاصل از شبیه‌سازی مداری FF @ -40 C ۹۸
شکل (۶-۲۶): طیف خروجی مدولاتور طراحی‌شده، حاصل از شبیه‌سازی مداری SS @ +85 C ۹۹
شکل (۶-۲۷): انتگرال‌گیر با در نظرگرفتن نویز حرارتی تقویت‌کننده‌ی عملیاتی، DAC و مقاومت ورودی. ۱۰۰

شکل (الف-۱): مدولاتور ایده‌آل با ساختار فیدبک..... ۱۰۶
شکل (الف-۲): جبران‌سازی مرسوم ELD مدولاتور ایده‌آل با ساختار فیدبک..... ۱۰۶
شکل (الف-۳): جبران‌سازی دو مرحله‌ای ELD مدولاتور ایده‌آل با ساختار فیدبک..... ۱۰۷
شکل (الف-۴): مدولاتور ایده‌آل با ساختار فیدفوروارد..... ۱۰۷
شکل (الف-۵): جبران‌سازی مرسوم ELD مدولاتور ایده‌آل با ساختار فیدفوروارد..... ۱۰۷
شکل (الف-۶): جبران‌سازی دو مرحله‌ای ELD مدولاتور ایده‌آل با ساختار فیدفوروارد..... ۱۰۷

شکل (ب-۱): مدولاتور سیگما-دلتا مرتبه دوم با کوانتایزر SAR..... ۱۱۳
شکل (ب-۲): محدوده‌ی تغییرات خروجی انتگرال‌گیر دوم به ازای مقادیر مختلف ELD..... ۱۱۳
شکل (ب-۳): مدولاتور سیگما-دلتا با کوانتایزر SAR و جبران‌سازی توزیع‌شده‌ی ELD..... ۱۱۴
شکل (ب-۴): زمان‌بندی CLK برای ساختار پیشنهادی..... ۱۱۵
شکل (ب-۵): محدوده‌ی تغییرات خروجی انتگرال‌گیر دوم در جبران‌سازی پیشنهادی..... ۱۱۵

فهرست جدول‌ها

صفحه

جدول (۲-۱): ویژگیهای مدولاتورهای زمان-پیوسته و زمان-گسسته ۲۱
جدول (۶-۱): مشخصات المان‌های مدار CMFB ۸۷
جدول (۶-۲): مشخصات المان‌های مدار تقویت‌کننده‌ی عملیاتی ۸۷
جدول (۶-۳): مشخصات المان‌های مدار گرایش ۸۷
جدول (۶-۴): خلاصه‌ی مشخصات تقویت‌کننده‌ی عملیاتی ۸۸
جدول (۶-۵): مشخصات المانهای مدار مقایسه‌کننده ۹۱
جدول (۶-۶): مشخصات المان‌های فلیپ-فلاپ Master ۹۳
جدول (۶-۷): مشخصات المان‌های فلیپ-فلاپ Slave ۹۳
جدول (۶-۸): مشخصات المان‌های I-DAC 1 ۹۶
جدول (۶-۹): مشخصات المان‌های I-DAC 01 ۹۶
جدول (۶-۱۰): مشخصات المان‌های I-DAC 02 ۹۷
جدول (۶-۱۱): خلاصه‌ی عملکرد مدولاتور طراحی‌شده ۱۰۱
جدول (۶-۱۲): مقایسه مدولاتور طراحی‌شده با سایر کارها ۱۰۲

اختصارنامه

BW: Band Width

CT: Continuous Time

DAC: Digital to Analog Convertor

DEM: Dynamic Element Maching

DFF: D Flip-Flop

DR: Dynamic Range

DWA: Data-Weighted Averaging

ELD: Excess Loop Delay

ENOB: Effective Number of Bit

GBW: Gain-BandWidth

IBN: InBand Noise

MASH: Multi stAge noise SHaping

NTF: Noise Transfer Function

OSR: Oversampling Ratio

SAR: Successive Approximation Register

SFDR: Spurious Free Dynamic Range

SNDR: Signal to Noise and Distortion Ratio

SNR: Signal to Noise Ratio

STF: Signal Transfer Function

واژه‌نامه

Anti-Aliasing Filter	فیلتر ضد برهم‌افتادگی
Band-Width	پهنای‌باند
Boltzmann constant	ثابت بولتزمن
Common-Mode Feedback	فیدبک مود مشترک
Continuous-Time Sigma-Delta Convertor	مبدل سیگما-دلتای زمان-پیوسته
Digital to Analog Convertor	مبدل دیجیتال به آنالوگ
Dynamic	پویا
Dynamic Element Maching	تطبیق پویای المان‌ها
Dynamic Range	محدوده‌ی پویایی
Excess Loop Delay	تاخیر اضافی حلقه
Figure of Merit	معیار شایستگی
Full Scale	تمام مقیاس
Integral In Band Noise	مجموع نویز داخل باند
Miller compensation	جبران‌سازی میلر
Monotonicity	یکنواختی
Multi-stAge-noise-SHaping	شکل‌دهی نویز چند طبقه
Noise Shaping	شکل‌دهی نویز
Noise Transfer Function	تابع تبدیل نویز
Offset	آفست
Over Load Level	سطح اشباع
Over Sampling	بیش نمونه‌برداری
Oversampling Ratio	نسبت بیش نمونه‌برداری
Passive	غیر فعال
Quantizer Step	پله‌ی کوانتایزر
Signal to Noise & Distortion Ratio	نسبت سیگنال به نویز و اعوجاج

نسبت سیگنال به نویز	Signal to Noise Ratio
تابع تبدیل سیگنال	Signal Transfer Function
ایستا	Static
مجموع اعوجاج هارمونیکی	Total Harmonic Distortion
ترارسانایی	Transconductance
پهن-باند	Wide-band

منابع و مراجع

[1] J. A. Cherry and W. M. Snelgrove, "Excess loop delay in continuous-time delta-sigma modulators," *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process.*, vol. 46, no. 4, pp. 376-389, Apr 1999.

[2] W. Bennett, "Spectra of quantized signals," Bell Syst. Tech. J. 27, pp. 446–472, 1948.

[3] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion*. New York: Springer, 2005.

[4] F. Gerfers, K.M.Soh, M. Ortmanns, Y. Manoli, "Figure of merit based design strategy for low-power continuous-time ΣΔ modulators," in *Proc. IEEE Int. Symp. Circuits Syst*. 233–236 (2002).

[5] T.L. Brooks, D.H Robertson, D.F. Kelly, A. Del Muro, S.W. Harston, "A cascaded sigma-delta pipeline A/D converter with 1.25MHz signal bandwidth and 89 dB SNR," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1896–1906, Dec. 1997.

[6] Y. Geerts, *Design of Multi-Bit Delta-Sigma A/D Converters.* Kluwer Academic Publisher, Dordrecht 2002.

[7] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*. New York: Wiley/IEEE Press, 2005.

[8] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," *IEEE Trans. Circuits Syst. II*, vol. 40, no. 8, pp. 461-466, August 1993.

[9] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher and M. Clara, "A 70-mW 300-MHz CMOS continuous-time ΣΔ ADC with 15-MHz bandwidth and 11 bits of resolution," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1056-1063, July 2004.

[10] J. Ruiz-Amaya *et al.*, "High-level synthesis of switched-capacitor, switched-current and continuous-time ΣΔ modulators using SIMULINK-based time-domain behavioral models," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 52, no. 9, pp. 1795-1810, Sept. 2005.

[11] T. Brückner, C. Zorn, J. Anders, J. Becker, W. Mathis and M. Ortmanns, "A GPU-Accelerated Web-Based Synthesis Tool for CT Sigma-Delta Modulators," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 61, no. 5, pp. 1429-1441, May 2014.

[12] Benabes, P., Keramat, M., Kielbasa, R., "A methodology for designing continuous-time sigma-delta modulators," *Proc. IEEE Eur. Des. Test Conf.*, pp. 46–50, 1997.

[13] F.M. Gardner, "A transformation for digital simulation of analog filters," *IEEE Trans. Commun.* COM-34, pp. 676–680, July 1986.

[14] E. I. Jury, *Theory and application of the z-transform method*, vol. 3, Wiley New York, 1964.

[15] Belotti, O., E. Bonizzoni, and F. Maloberti, "*Exact design of continuous-time sigma-delta modulators with multiple feedback DACs,"* Analog Integrated Circuits and Signal Processing, vol. 73, no. 1, pp. 255-264, 2012.

[16] W. Yang et al., "A 100mW 10MHz-BW CT ΔΣ Modulator with 87dB DR and 91dBc IMD," *ISSCC Dig. Tech. Papers*, pp. 498-499, Feb. 2008.

[17] L. Dörrer et al., “A 3mW 74dB SNR 2MHz CT ΔΣ ADC with a Tracking-ADC-Quantizer in 0.13µm CMOS,’’ *ISSCC Dig. Tech. Papers*, pp. 492-493, Feb. 2005.

[18] G. Mitteregger et al., “A 14b 20mW 640MHz CMOS CT ΔΣ ADC with 20MHz Signal BW and 12b ENOB,” *ISSCC Dig. Tech. Papers*, pp. 62-63, Feb. 2006.

[19] Younis, S., *Method and apparatus for eliminating clock jitter in continuous-time delta-sigma analog-to-digital converters*, Int. Patent Appl. Qualcomm Inc. July 2000.

[20] R. T. Baird and T. S. Fiez, “Linearity enhancement of multibit ΔΣ A/D and D/A converters using data weighted averaging,” *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 42, no. 12, pp.753–762, Dec. 1995.

[21] R. Schoofs, M. S. J. Steyaert and W. M. C. Sansen, “A Design-Optimized Continuous-Time Delta–Sigma ADC for WLAN Applications,” *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 54, no. 1, pp. 209-217, Jan. 2007.

[22] S. Pavan, “Systematic Design Centering of Continuous Time Oversampling Converters,” *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 57, no. 3, pp. 158-162, March 2010.

[23] T. Brückner, C. Zorn, J. Anders, J. Becker, W. Mathis and M. Ortmanns, “A GPU-Accelerated Web-Based Synthesis Tool for CT Sigma-Delta Modulators,” *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 61, no. 5, pp. 1429-1441, May 2014.

[24] D. H. Lee and T. H. Kuo, “Advancing Data Weighted Averaging Technique for Multi-Bit Sigma–Delta Modulators,” *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 54, no. 10, pp. 838-842, Oct. 2007.

[25] A. Sanyal and N. Sun, “Dynamic Element Matching Techniques for Static and Dynamic Errors in Continuous-Time Multi-Bit $DeltaSigma$ Modulators,” *IEEE J. Emerging and Selected Topics in Circuits and Systems*, vol. 5, no. 4, pp. 598-611, Dec. 2015.

[26] C. Y. Ho, C. Liu, C. L. Lo, H. C. Tsai, T. C. Wang and Y. H. Lin, “15.2 A 4.5mW CT self-coupled ΔΣ modulator with 2.2MHz BW and 90.4dB SNDR using residual ELD compensation,” *IEEE ISSCC Dig. Tech. Papers*, pp. 1-3, 2015.

[27] J. G. Kauffman, P. Witte, M. Lehmann, J. Becker, Y. Manoli and M. Ortmanns, “A 72 dB DR, CT ΔΣ Modulator Using Digitally Estimated, Auxiliary DAC Linearization Achieving 88 fJ/conv-step in a 25 MHz BW,” *IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 392-404, Feb. 2014.

[28] S. Tan, Y. Miao, M. Palm, J. Rodrigues and P. Andreani, “Digital background calibration in continuous-time delta-sigma analog to digital converters,” *Nordic Circuits and Systems Conference (NORCAS)*, Oslo, pp. 1-4, 2015.

[29] J. Huang, S. Yang and J. Yuan, “A 75 dB SNDR 10-MHz Signal Bandwidth Gm-C-Based Sigma-Delta Modulator with a Nonlinear Feedback Compensation Technique,” *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 62, no. 9, pp. 2216-2226, Sept. 2015.

[30] H. C. Tsai, C. L. Lo, C. Y. Ho and Y. H. Lin, “A 1.2V 64fJ/conversion-step continuous-time ΣΔ modulator using asynchronous SAR quantizer and digital ΣΔ truncator,” *IEEE A-SSCC*, Kobe, pp. 241-244, 2012.

[31] B. Wu, S. Zhu, B. Xu and Y. Chiu, “15.1 A 24.7mW 45MHz-BW 75.3dB-SNDR SAR-assisted CT SDM with 2nd-order noise coupling in 65nm CMOS,” *IEEE ISSCC*, San Francisco, CA, pp. 270-271, 2016.

[32] D. Radjen, M. Anderson, L. Sundström and P. Andreani, "A low-power 2nd-order CT ΔΣ modulator with an asynchronous SAR quantizer," *NORCHIP*, Tampere, pp. 1-4, 2014.

[33] B. Wu, S. Zhu, B. Xu and Y. Chiu, "A 24.7mW 45MHz-BW 75.3dB-SNDR SAR-assisted CT ΣΔ modulator with 2nd-order noise coupling in 65nm CMOS," *IEEE ISSCC*, San Francisco, CA, pp. 270-271, 2016.

[34] Z. Y. Chen and C. C. Hung, "A 5.8 mW Continuous-Time Delta Sigma Modulator With 20 MHz Bandwidth Using Time-Domain Flash Quantizer," *IEEE J. Emerging and Selected Topics in Circuits and Systems*, vol. 5, no. 4, pp. 574-583, Dec. 2015.

[35] X. Xing and G. G. E. Gielen, "A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 50, no. 3, pp. 714-723, March 2015.

[36] F. Colodro and A. Torralba, "Linearity Enhancement of VCO-Based Quantizers for SD Modulators by Means of a Tracking Loop," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 61, no. 6, pp. 383-387, June 2014.

[37] S. Loeda, H. M. Reekie, and B. Mulgrew, "On the design of high-performance wideband continuous-time sigma–delta converters using numerical optimization," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 4, pp. 802–810, Apr. 2006.

[38] G. Mitteregger *et al.*, "A 14 b 20 mW 640 MHz CMOS CT ΣΔ ADC with 20 MHz signal bandwidth and 12 b ENOB," in *Proc. Dig. Tech. Papers IEEE Int. Solid-State Circuits Conf.*, pp. 131–140, 2006.

[39] P. Fontaine, A. N. Mohieldin, and A. Bellaouar, "A low-noise lowvoltage CT ΣΔ modulator with digital compensation of excess loop delay," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 1, pp. 498–613, 2005.

[40] M. Vadipour *et al.*, "A 2.1 mW/3.2 MW delay-compensated GSM/WCDMA sigma-delta analog–digital converter," in *Proc. IEEE Symp. VLSI Circuits*, pp. 180-181, 2008.

[41] M. Keller, A. Buhmann, J. Sauerbrey, M. Ortmanns and Y. Manoli, "A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time Sigma–Delta Modulators," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 55, no. 11, pp. 3480-3487, Dec. 2008.

[42] M. Ortmanns, F. Gerfers, and Y. Manoli, "Compensation of finite gainbandwidth induced errors in continuous-time sigma–delta modulators," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 6, pp. 1088–1099, Jun. 2004.

[43] Y. Zhang, C. H. Chen, T. He, X. Meng and G. C. Temes, "A continuous-time ΔΣ modulator with a digital technique for excess loop delay compensation," *IEEE ISCAS*, pp. 934-937, 2014.

[44] J. Harrison and N. Weste, "Analytic limitations on sigma-delta modulator performance," in *Proc. IEEE ISCAS*, vol. 3, pp. 746–749, May 2000.

[45] V. Singh, N. Krishnapura, S. Pavan, B. Vigraham, D. Behera and N. Nigania, "A 16 MHz BW 75 dB DR CT ΔΣ ADC Compensated for More Than One Cycle Excess Loop Delay," *IEEE J. Solid-State Circuits*, vol. 47, no. 8, pp. 1884-1895, Aug. 2012.

[46] V. Singh, N. Krishnapura and S. Pavan, "Compensating for Quantizer Delay in Excess of One Clock Cycle in Continuous-Time ΣΔ Modulators," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 57, no. 9, pp. 676-680, Sept. 2010.

[47] S. Pavan, “Excess Loop Delay Compensation in Continuous-Time Delta-Sigma Modulators,” *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 55, no. 11, pp. 1119-1123, Nov. 2008.

[48] B. D. Sahoo and B. Razavi, “A 12-Bit 200-MHz CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2366-2380, Sept. 2009.

[49] R. Schoofs, M. S. J. Steyaert and W. M. C. Sansen, “A Design-Optimized Continuous-Time Delta–Sigma ADC for WLAN Applications,” *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 54, no. 1, pp. 209-217, Jan. 2007.

[50] Chen, Fang, et al. “Design of a wideband low-power continuous-time ΣΔ modulator in 90 nm CMOS technology.” *Analog Integrated Circuits and Signal Processing*, vol. 54, no. 3, pp. 187-199, 2008.

[51] K. C. Hong and H. Chiueh, “A 36-mW 320-MHz CMOS continuous-time sigma-delta modulator with 10-MHz bandwidth and 12-bit resolution,” *IEEE Symp. Midwest Circuits and Systems (MWSCAS)*, pp. 725-728, 2010.

[52] V. Dhanasekaran *et al*., “A Continuous Time Multi-Bit ΣΔ ADC Using Time Domain Quantizer and Feedback Element,” *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 639-650, March 2011.

[53] E. Prefasi, S. Paton and L. Hernandez, “A 7 mW 20 MHz BW Time-Encoding Oversampling Converter Implemented in a 0.08 mm 65 nm CMOS Circuit,” *IEEE J. Solid-State Circuits*, vol. 46, no. 7, pp. 1562-1574, July 2011.

[54] J. Kauffman, P. Witte, J. Becker, and M. Ortmanns, “An 8.5 Mw continuous-time ΣΔ modulator with 25 MHz bandwidth using digital background DAC linearization to achieve 63.5 dB SNDR and 81 dB SFDR,” *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2869–2881, Dec. 2011.

[55] Yibin Wang, Chenxi Han, Dongmei Li and Zhihua Wang, “A 14b continuous-time delta-sigma modulator with 2MHz signal bandwidth,” *IEEE International Conference on Electron Devices and Solid-State Circuits*, pp. 1-2, 2014.

[56] J. H. Hong and Z. Y. Chen, "A low-power 10MHz bandwidth continuous-time ΣΔ ADC with Gm-C filter," *IEEE Symp. Midwest Circuits and Systems (MWSCAS)*, pp. 853-856, 2014.

[57] H. M. Geddada, C. J. Park, J. Silva-Martinez and A. İ. Karşılayan, “Blocker tolerant wideband continuous time sigma-delta modulator for wireless applications,” *IEEE Symp. Midwest Circuits and Systems (MWSCAS)*, pp. 765-768, 2014.

[58] S. H. Wu, T. K. Kao, Z. M. Lee, P. Chen and J. Y. Tsai, “A 160MHz-BW 72dB-DR 40mW continuous-time ΔΣ modulator in 16nm CMOS with analog ISI-reduction technique,” IEEE ISSCC, pp. 280-281, 2016.

[59] M. Ranjbar, et al., “A 3.1mW Continuous-Time ΣΔ Modulator with 5-Bit Successive Approximation Quantizer for WCDMA,” *IEEE J. Solid-State Circuits*, vol. 45 pp. 1479 - 1491, Aug. 2010.