Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Title

Digital Calibration of Analog Circuits Nonidealities in Sigma-Delta A/D Converters

By
Alireza Bafandeh

Supervisor
Dr. Mohammad Yavari

February 2015

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد

گرایش میکروالکترونیک

عنوان

کالیبراسیون دیجیتال اثرات غیرایده‌آلی مدارهای آنالوگ در مبدل‌های آنالوگ به دیجیتال سیگما- دلتا

نگارش

علیرضا بافنده

استاد راهنما

دکتر محمد یاوری

بهمن ماه ۱۳۹۳

بسم الله الرحمن الرحیم

صفحه فرم ارزیابی و تصویب پایان نامه- فرم تأیید اعضاء کمیته دفاع

در این صفحه فرم دفاع یا تایید و تصویب پایان نامه موسوم به فرم کمیته دفاع- موجود در پرونده آموزشی- **را قرار دهید.**

نکته مهم:

نگارش پایان نامه/رساله باید به زبان فارسی و بر اساس آخرین نسخه دستورالعمل و راهنمای تدوین پایان نامه های دانشگاه صنعتی امیرکبیر باشد.(دستورالعمل وراهنمای حاضر)

*** چاپ و صحافی پایان نامه/رساله بصورت دورو بلامانع است.**

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب علیرضا بافنده متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

علیرضا بافنده

امضا

تقدیم به

آنان که در سختی‌های زندگی همواره
دلسوزانه پشتیبانی مطمئن برایم بوده‌اند،
پدر و مادر عزیز و مهربانم.

قدردانی

نخستین سپاس و ستایش از آن خداوندی است که بنده کوچکش را در دریای بیکران اندیشه، قطره‌ای ساخت تا وسعت آن را از دریچه اندیشه‌های ناب آموزگارانی بزرگ به تماشا نشیند. لذا اکنون که در سایه بنده‌نوازی‌هایش پایان‌نامه حاضر به انجام رسیده است، بر خود لازم می‌دانم مراتب سپاس از بزرگوارانی را به‌جای آورم که اگر دست یاریگرشان نبود، هرگز این پایان‌نامه به انتها نمی‌رسید.

ابتدا از استاد گران‌قدرم جناب آقای دکتر محمد یاوری که زحمت راهنمایی این پایان‌نامه را به عهده داشته‌اند و در تمامی مراحل صبورانه مرا پشتیبانی نموده‌اند، کمال تشکر و قدردانی را دارم. از دوستان خوبم در آزمایشگاه مدارهای مجتمع خطی جناب آقای مهندس حسین پاک‌نیت، آقای مهندس محسن تمدن، آقای مهندس توحید موسی‌زاده و سایر دوستانی که مرا در انجام این پایان‌نامه یاری کرده‌اند، نهایت سپاس و تشکر را دارم و موفقیت روزافزون آنها را از خداوند منان خواستارم. همچنین از اساتید گران‌قدر آقایان دکتر حسن کاتوزیان و دکتر امید شعاعی که زحمت داوری این پایان‌نامه را کشیده‌اند، تشکر می‌نمایم.

رسیدن به این درجه به‌جز با حمایت تک‌تک اعضای خانواده‌ام امکان‌پذیر نبود؛ از آنها به خاطر تمامی زحمات فداکارانه‌شان تشکر و قدردانی می‌نمایم.

درنهایت از کمیته نانو به دلیل حمایت مالی در انجام پروژه سپاس‌گزارم و امیدوارم این کمیته در ارتقای علمی و توسعه فناوری در کشور عزیزمان موفق باشد.

چکیده

امروزه، تلاش برای یافتن روش‌هایی جدید برای کاهش سطح مصرفی و بهبود کارایی ادوات الکترونیکی افزایش یافته است. مدولاتور سیگما- دلتا، گونه‌ای از مبدل‌های آنالوگ به دیجیتال است که با بهره‌گیری از حلقه‌ی فیدبک و تکنیک شکل‌دهی نویز، عمل تبدیل را انجام می‌دهد. برای رسیدن به دقت‌های بالاتر، استفاده از ساختارهای چند طبقه به جای ساختارهای یک طبقه، پایداری مبدل را تضمین می‌کند. از طرف دیگر ساختارهای چند طبقه حساسیت بیشتری نسبت به غیرایده‌آلی‌های مداری دارند، چرا که جلوگیری از نشت نویز طبقات قبل در خروجی این مبدل‌ها به تطبیق دقیق قسمت آنالوگ و دیجیتال وابسته است. برای غلبه بر این مشکل از کالیبراسیون استفاده می‌شود.

در این پایان‌نامه با ترکیب دو مدل موجود برای بهره و زمان نشست محدود، مدل خطای جمع‌شونده برای تخمین خطا پیشنهاد شده است. در ادامه یک روش کالیبراسیون دیجیتال پس‌زمینه برای افزایش دقت خروجی مبدل‌های چند طبقه‌ی سیگما- دلتا ارائه شده است. این مدل اثرات ناشی از بهره dc و پهنای باند محدود انتگرال‌گیرها را به عنوان تابعی از خروجی آنها نمایش می‌دهد. جبران‌سازی این اثرات با تخمین خروجی انتگرال‌گیرها و استفاده از فیلترهای تطبیقی مرتبه اول ممکن می‌گردد. شناسایی ضرایب فیلترهای تطبیقی با تزریق سیگنال‌های شبه‌تصادفی تست به ورودی انتگرال‌گیرها و استفاده از الگوریتم LMS انجام می‌گردد. روش پیشنهادی بر روی سه ساختار دو طبقه‌ی مختلف به صورت سیستمی در نرم‌افزار MATLAB پیاده‌سازی شده و نتایج حاصل، ارائه شده است. به طور میانگین مقدار دقت مبدل به اندازه‌ی ۲۶ dB بهبود یافته است. همچنین با توجه به طیف خروجی در حالت ایده‌آل و غیرایده‌آل، به طور میانگین ۹۳٪ از کاهش دقت در اثر بهره و پهنای باند محدود جبران‌سازی شده است. در ادامه با انتخاب یکی از این ساختارها و پیاده‌سازی مداری آن در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه ۱ ولت، چگونگی عملکرد این روش ارزیابی شده است. دقت این مبدل نیز به اندازه‌ی ۲۳/۳ dB با صرف توان ۰/۸ mW افزایش یافته است.

واژه‌های کلیدی:

مبدل سیگما-دلتا، مدولاتور چند طبقه، کالیبراسیون دیجیتال پس‌زمینه، بهره‌ی dc و پهنای باند محدود.

فهرست عناوین

صفحه

۱ فصل اول مقدمه ۱
۱-۱ انگیزه ۲
۱-۲ ساختار پایان‌نامه ۴
۲ فصل دوم مبدل‌های آنالوگ به دیجیتال سیگما- دلتا ۵
۲-۱ اساس کار مبدل‌های آنالوگ به دیجیتال ۶
۲-۱-۱ فیلتر آنتی‌الیاسینگ ۸
۲-۱-۲ نمونه‌برداری ۸
۲-۱-۳ کوانتایزر ۹
۲-۱-۴ پردازش دیجیتال ۱۱
۲-۲ معیارهای مقایسه‌ی مبدل‌ها ۱۱
۲-۳ انواع مبدل‌های آنالوگ به دیجیتال ۱۳
۲-۳-۱ مبدل‌های نرخ نایکوئست ۱۴
۲-۳-۲ مبدل‌های بیش‌نمونه‌بردار ۱۴
۲-۴ مبدل‌های سیگما- دلتا ۱۶
۲-۵ ساختارهای مختلف مبدل‌های سیگما- دلتا ۲۰
۲-۵-۱ مبدل سیگما- دلتا با تابع تبدیل سیگنال واحد ۲۱
۲-۵-۲ مبدل سیگما- دلتای چند طبقه ۲۲
۲-۵-۳ ساختارهای دیگر مبدل سیگما- دلتا ۲۵
۳ فصل سوم فیلترهای تطبیقی ۲۶
۳-۱ الگوریتم‌های تطبیقی ۲۷
۳-۱-۱ روند جبری ۲۸
۳-۱-۲ روند آماری ۲۹
۳-۱-۳ پیاده‌سازی فیلترهای تطبیقی ۳۰
۳-۱-۴ روش بازگشتی ۳۱
۳-۲ الگوریتم LMS ۳۲
۳-۲-۱ تئوری الگوریتم LMS ۳۲
۳-۲-۲ انواع دیگر الگوریتم LMS ۳۴

۳-۲-۳ کاربردهای الگوریتم LMS ۳۵
۳-۳ تصحیح مبدل سیگما- دلتا ۳۸
۴ فصل چهارم مدل‌سازی و جبران خطا در مبدل سیگما - دلتا ۴۰
۴-۱ مدل‌سازی خطا ۴۱
۴-۱-۱ مدل بهره‌ی محدود ۴۱
۴-۱-۲ مدل زمان نشست ۴۴
۴-۲ جبران‌سازی خطا ۴۵
۴-۲-۱ جبران‌سازی بهره محدود ۴۶
۴-۲-۲ جبران‌سازی زمان نشست ۵۰
۵ فصل پنجم مدل و روش کالیبراسیون پیشنهادی ۵۳
۵-۱ مدل پیشنهادی ۵۴
۵-۱-۱ ترکیب مدل بهره و زمان نشست ۵۴
۵-۱-۲ مدل خطای جمع‌شونده ۵۶
۵-۱-۳ مقایسه مدل خطا جمع‌شونده با مدل‌های قبلی ۵۸
۵-۱-۴ تحلیل مدل خطا جمع‌شونده ۵۹
۵-۲ کالیبراسیون پیشنهادی ۶۶
۵-۲-۱ تخمین خروجی انتگرال‌گیرها ۶۶
۵-۲-۲ حذف خطای انتگرال‌گیرها ۷۴
۵-۲-۳ پارامترهای فیلتر تطبیقی ۸۱
۵-۳ پیاده‌سازی روش پیشنهادی ۸۴
۵-۳-۱ پیاده‌سازی مرحله‌ای ۸۴
۵-۳-۲ پیچیدگی سخت‌افزاری ۸۹
۶ فصل ششم طراحی مداری مبدل ۹۲
۶-۱ انتگرال‌گیر سوئیچ‌شونده‌ی خازنی ۹۳
۶-۱-۱ توان نویز ۹۴
۶-۱-۲ محاسبه خازن‌های نمونه‌بردار انتگرال‌گیر اول ودوم ۹۸
۶-۱-۳ تقویت‌کننده‌ها ۱۰۰
۶-۲ کوانتایزر ۱۰۳

۶-۲-۱ جمع‌کننده‌ی غیرفعال سوئیچ‌شونده‌ی خازنی..... ۱۰۴
۶-۲-۲ پیش‌تقویت‌کننده..... ۱۰۶
۶-۲-۳ مقایسه‌گر..... ۱۰۷
۶-۲-۴ لچ SR..... ۱۰۹
۶-۲-۵ دیگر قسمت‌های مداری..... ۱۰۹

۷ فصل هفتم نتایج شبیه‌سازی، نتیجه‌گیری و پیشنهادات ۱۱۱

۷-۱ نتایج شبیه‌سازی..... ۱۱۲
۷-۱-۱ شبیه‌سازی سیستمی مبدل کسکید ۲-۰ با ساختار فیدبک..... ۱۱۲
۷-۱-۲ شبیه‌سازی سیستمی مبدل کسکید ۲-۰ با ساختار فیدفوروارد..... ۱۱۵
۷-۱-۳ شبیه‌سازی سیستمی مبدل کسکید ۲-۲..... ۱۱۸
۷-۱-۴ شبیه‌سازی مداری مبدل کسکید ۲-۰ با ساختار فیدفوروارد..... ۱۲۱
۷-۱-۵ شبیه‌سازی محدوده دینامیکی با حضور سیگنال تست..... ۱۲۴
۷-۱-۶ شبیه‌سازی با سیگنال ورودی پهن‌باند..... ۱۲۵
۷-۲ نتیجه‌گیری..... ۱۲۶
۷-۳ پیشنهادات..... ۱۲۷

منابع و مراجع ۱۲۹

فهرست شکل‌ها

صفحه

شکل (۲-۱) مقایسه‌ی سرعت و دقت روش‌های مختلف تبدیل آنالوگ به دیجیتال..... ۷
شکل (۲-۲) بلوک دیاگرام یک مبدل آنالوگ به دیجیتال..... ۷
شکل (۲-۳) طیف سیگنال الف) قبل و ب) بعد از نمونه‌برداری..... ۹
شکل (۲-۴) نمودار ورودی خروجی کوانتایزر..... ۱۰
شکل (۲-۵) مدل سیستمی کوانتایزر..... ۱۱
شکل (۲-۶) توان نویز کوانتیزاسیون در مبدل نرخ نایکوئیست، بیش‌نموبردار و نویز شکل‌دهی شده..... ۱۵
شکل (۲-۷) بلوک دیاگرام مبدل دلتا..... ۱۷
شکل (۲-۸) بلوک دیاگرام مبدل سیگما- دلتا..... ۱۷
شکل (۲-۹) بلوک دیاگرام مبدل سیگما- دلتا با تابع تبدیل واحد سیگنال..... ۲۱
شکل (۲-۱۰) بلوک دیاگرام مبدل مرتبه دو با تابع تبدیل سیگنال واحد..... ۲۲
شکل (۲-۱۱) بلوک دیاگرام مبدل سیگما- دلتا چند طبقه..... ۲۳
شکل (۳-۱) کاربرد فیلتر تطبیقی..... ۲۸
شکل (۳-۲) پیاده‌سازی فیلتر تطبیقی با ساختار متقاطع..... ۳۱
شکل (۳-۳) کاربرد فیلتر تطبیقی در مدل‌سازی..... ۳۶
شکل (۳-۴) کاربرد فیلتر تطبیقی در مدل‌سازی معکوس..... ۳۶
شکل (۳.۵) کاربرد فیلتر تطبیقی در حذف تداخل و نویز..... ۳۷
شکل (۳-۶) بلوک دیاگرام شیفت رجیسترهای فیدبک خطی..... ۳۹
شکل (۴-۱) مدار انتگرال‌گیر سوئیچ‌شونده‌ی خازنی..... ۴۲
شکل (۴-۲) جبران‌سازی انتگرال‌گیر..... ۴۶
شکل (۴-۳) مدار انتگرال‌گیر سوئیچ‌شونده‌ی خازنی..... ۴۷
شکل (۴-۴) مبدل دو طبقه با فیلتر تطبیقی جبران‌ساز..... ۴۹
شکل (۴-۵) پیاده‌سازی الگوریتم LMS و فیلتر تطبیقی..... ۴۹
شکل (۴-۶) ساختار مبدل دو طبقه در حالت معمولی و تشخیص خطا..... ۵۱
شکل (۴-۷) فیلتر تطبیقی الف) در حالت تشخیص خطا و ب) در حالت معمولی..... ۵۲
شکل (۵-۱) مدل بهره محدود و زمان نشست..... ۵۵
شکل (۵-۲) مدل بهره محدود و پهنای باند..... ۵۶
شکل (۵-۳) مدل خطای جمع‌شونده..... ۵۶
شکل (۵-۴) مبدل مرتبه دو با الف) مدل مرسوم و ب) مدل خطای جمع‌شونده..... ۵۸
شکل (۵-۵) نمودار مقدار خطای جمع‌شونده در اثر بهره‌ی محدود تقویت‌کننده..... ۶۰

شکل (۵-۶) نمودار مقایسه‌ی خطای جمع‌شونده در بهره‌های مختلف..... ۶۱
شکل (۵-۷) نمودار مقدار خطای جمع‌شونده در اثر پهنای باند محدود..... ۶۲
شکل (۵-۸) نمودار مقدار خطای جمع‌شونده در اثر پهنای باند و نرخ چرخش محدود..... ۶۴
شکل (۵-۹) نمودار مقدار خطای جمع‌شونده در اثر بهره، پهنای باند و نرخ چرخش محدود..... ۶۵
شکل (۵-۱۰) نمودار مقدار خطای جمع‌شونده در اثر بهره و پهنای باند محدود..... ۶۶
شکل (۵-۱۱) بلوک دیاگرام مبدل کسکید ۲-۰ با ساختار فیدبک..... ۶۷
شکل (۵-۱۲) بلوک دیاگرام مبدل کسکید ۲-۰ با ساختار فیدفوروارد..... ۷۰
شکل (۵-۱۳) بلوک دیاگرام مبدل کسکید ۲-۲ با ساختار فیدفوروارد و فیدبک..... ۷۲
شکل (۵-۱۴) بلوک دیاگرام تصحیح مبدل کسکید ۲-۰ با ساختار فیدبک..... ۸۵
شکل (۵-۱۵) بلوک دیاگرام تصحیح مبدل کسکید ۲-۰ با ساختار فیدفوروارد..... ۸۷
شکل (۵-۱۶) بلوک دیاگرام تصحیح مبدل کسکید ۲-۲ با ساختار فیدفوروارد و فیدبک..... ۸۸
شکل (۶-۱) ساختار مدار انتگرال‌گیر سوئیچ‌شونده‌ی خازنی..... ۹۳
شکل (۶-۲) نویز حرارتی در مدار سوئیچ‌شونده‌ی خازنی ساده..... ۹۴
شکل (۶-۳) نویز سوئیچ‌های انتگرال‌گیر در فاز الف) نمونه‌برداری و ب) انتگرال‌گیری..... ۹۵
شکل (۶-۴) نویز تقویت‌کننده‌ی انتگرال‌گیر در فاز الف) نمونه‌برداری و ب) انتگرال‌گیری..... ۹۷
شکل (۶-۵) مدار معادل انتگرال‌گیر با در نظر گرفتن نویز..... ۹۷
شکل (۶-۶) مدولاتور سیگما دلتا با ولتاژ نویز ورودی انتگرال‌گیرها و مدار جمع‌کننده..... ۹۸
شکل (۶-۷) ساختار مداری انتگرال‌گیر اول..... ۱۰۰
شکل (۶-۸) ساختار مداری انتگرال‌گیر دوم..... ۱۰۰
شکل (۶-۹) تقویت‌کننده‌ی کسکود تاشده..... ۱۰۱
شکل (۶-۱۰) مدار بایاس تقویت‌کننده‌ها..... ۱۰۲
شکل (۶-۱۱) مدار سوئیچ‌شونده خازنی تنظیم مد مشترک خروجی..... ۱۰۳
شکل (۶-۱۲) یک نمونه مدار جمع‌کننده‌ی غیرفعال سوئیچ‌شونده‌ی خازنی..... ۱۰۴
شکل (۶-۱۳) مدار جمع‌کننده غیرفعال طبقه اول به همراه کوانتایزر..... ۱۰۶
شکل (۶-۱۴) سیگنال‌های کنترلی بکار رفته در مبدل..... ۱۰۶
شکل (۶-۱۵) مدار پیش تقویت‌کننده‌ی استفاده شده در ساختار کوانتایزر..... ۱۰۷
شکل (۶-۱۶) مدار مقایسه‌گر استفاده شده در ساختار کوانتایزر..... ۱۰۸
شکل (۶-۱۷) الف) ساختار لچ SR ب) مدار گیت NAND..... ۱۰۹
شکل (۶-۱۸) الف) مدار وارونگر ب) نردبان مقاومتی..... ۱۱۰
شکل (۷-۱) نمودار هیستوگرام انتگرال‌گیر الف) اول و ب) دوم..... ۱۱۳

شکل (۷-۲) همگرایی ضرایب فیلترهای تطبیقی..... ۱۱۳
شکل (۷-۳) طیف خروجی الف) ایده‌آل، ب) همراه با خطا ج) تصحیح شده..... ۱۱۴
شکل (۷-۴) محدوده‌ی دینامیکی در سه حالت ایده‌آل، همراه با خطا و تصحیح شده..... ۱۱۵
شکل (۷-۵) نمودار هیستوگرام انتگرال‌گیر الف) اول و ب) دوم..... ۱۱۶
شکل (۷-۶) همگرایی ضرایب فیلترهای تطبیقی..... ۱۱۶
شکل (۷-۷) طیف خروجی الف) ایده‌آل، ب) همراه با خطا ج) تصحیح شده..... ۱۱۷
شکل (۷-۸) محدوده‌ی دینامیکی در سه حالت ایده‌آل، همراه با خطا و تصحیح شده..... ۱۱۸
شکل (۷-۹) نمودار هیستوگرام انتگرال‌گیر الف) اول، ب) دوم ج)سوم و د) چهارم..... ۱۱۹
شکل (۷-۱۰) همگرایی ضرایب فیلترهای تطبیقی..... ۱۱۹
شکل (۷-۱۱) طیف خروجی الف) ایده‌آل، ب) همراه با خطا ج) تصحیح شده..... ۱۲۰
شکل (۷-۱۲) محدوده‌ی دینامیکی در سه حالت ایده‌آل، همراه با خطا و تصحیح شده..... ۱۲۱
شکل (۷-۱۳) نمودار هیستوگرام انتگرال‌گیر الف) اول و ب) دوم..... ۱۲۲
شکل (۷-۱۴) طیف خروجی با در نظر گرفتن خطای بهره و پهنای باند..... ۱۲۲
شکل (۷-۱۵) طیف خروجی تصحیح شده..... ۱۲۳
شکل (۷-۱۶) محدوده‌ی دینامیکی مبدل کسکید الف) ۲-۲ ب) ۲-۰ فیدفوروارد و
ج) ۲-۰ فیدبک..... ۱۲۵
شکل (۷-۱۷) همگرایی ضرایب فیلترهای تطبیقی..... ۱۲۵

فهرست جدول‌ها

صفحه

جدول (۵-۱) جمع‌بندی معادلات کالیبراسیون..... ۸۱
جدول (۶-۱) ابعاد ترانزیستورهای تقویت‌کننده..... ۱۰۱
جدول (۶-۲) ابعاد ترانزیستورهای مدار بایاس تقویتکننده..... ۱۰۲
جدول (۶-۳) ابعاد ترانزیستورهای مدار پیش‌تقویت‌کننده..... ۱۰۷
جدول (۶-۴) ابعاد ترانزیستورهای مدار مقایسه‌گر..... ۱۰۸
جدول (۶-۵) ابعاد ترانزیستورهای گیت NAND..... ۱۰۹
جدول (۷-۱) مشخصات تقویت‌کننده‌ها در کسکید ۲-۰ با ساختار فیدبک..... ۱۱۳
جدول (۷-۲) مشخصات تقویت‌کننده‌ها در کسکید ۲-۰ با ساختار فیدفوروارد..... ۱۱۵
جدول (۷-۳) مشخصات تقویت‌کننده‌ها در کسکید ۲-۲..... ۱۱۸
جدول (۷-۴) نتایج حاصل از شبیه‌سازی..... ۱۲۴
جدول (۷-۵) مقایسه‌ی روش ارائه شده با دیگر روش‌ها..... ۱۲۷

فهرست علائم

ADC	Analog to Digital Converter
CMFB	Common Mode Feedback
CDS	Correlated Double Sampling
DNL	Differential Non-Linearity
DAC	Digital to Analog Converter
DR	Dynamic Range
ENOB	Effective Number of Bits
FIR	Finite Impulse Response
FOM	Figure of Merit
GBW	Gain-Bandwidth product
INL	Integral Non-Linearity
LMS	Least Mean Squares
LSB	Least Significant Bit
LFSR	Linear Feedback Shift Register
MSB	Most Significant Bit
MASH	MultistAge noise SHaping
NTF	Noise Transfer Function
OSR	Oversampling Ratio
PVT	Process, Voltage, and Temperature
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SQNR	Signal to Quantization Noise Ratio
STF	Signal Transfer Function
SFDR	Spurious Free Dynamic Range
SAR	Successive Approximation Register
ΣΔ	Sigma-Delta

منابع و مراجع

[1] R. Schreier and G. C. Temes; *Understanding delta-sigma data converters*, IEEE press Piscataway, NJ, 2005.

[2] S. R. Norsworthy, R. Schreier, and G. C. Temes; *Delta-sigma data converters: theory, design, and simulation*, IEEE press New York, 1997.

[3] M. José and R. del Río; *CMOS sigma-delta converters: Practical design guide*, John Wiley & Sons, 2013.

[4] F. Gerfers and M. Ortmanns; *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations*, Springer, 2006.

[5] F. Maloberti; *Data converters*, Springer, 2007.

[6] P. Bradley; "A 6-bit Josephson flash A/D converter with GHz input bandwidth," *IEEE Transactions on Applied Superconductivity*, vol. 3, pp. 2550-2557, 1993.

[7] H. Rostaminia, S. Sheikhaei, and A. Bazrafshan; "A 4-Bit 8GS/s Flash ADC in 0.18 µm CMOS Technology," *International Journal of Academic Research in Applied Science*, vol. 3, pp. 62-68, 2014.

[8] S. Tsukamoto, M. Miyahara, and A. Matsuzawa; "A 7-bit 1-GS/s Flash ADC with Background Calibration," *IEICE Transactions on Electronics*, vol. 97, pp. 298-307, 2014.

[9] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner; "A 6-bit 1.2-GS/s low-power flash-ADC in 0.13-µm digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1499-1505, 2005.

[10] T. N. Andersen, B. Hernes, A. Briskemyr, F. Telsto, J. Bjornsen, T. E. Bonnerud, *et al.*; "A cost-efficient high-speed 12-bit pipeline ADC in 0.18-µm digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1506-1513, 2005.

[11] O. Stroeble, V. Dias, and C. Schwoerer; "An 80 MHz 10 b pipeline ADC with dynamic range doubling and dynamic reference selection," *IEEE International Solid-State Circuits Conference*, pp. 462-539, 2004.

[12] C.-Y. Chen, J. Wu, J.-J. Hung, T. Li, W. Liu, and W.-T. Shih; "A 12-Bit 3 GS/s Pipeline ADC With 0.4 mm and 500 mW in 40 nm Digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 47, pp. 1013-1021, 2012.

[13] J. Mulder, D. Vecchi, F. M. L. van der Goes, J. R. Westra, E. Ayranci, C. M. Ward, *et al.*; "A 12-bit 800 MS/s Dual-Residue Pipeline ADC," in *Nyquist AD Converters, Sensor Interfaces, and Robustness*, ed, Springer, 2013, pp. 13-30.

[14] Y.-I. Park, S. Karthikeyan, W. M. Koe, Z. Jiang, and T.-C. Tan; "A 16-bit, 5MHz multi-bit sigma-delta ADC using adaptively randomized DWA," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 115-118, 2003.

[15] O. Nys and R. K. Henderson; "A 19-bit low-power multibit sigma-delta ADC based on data weighted averaging," *IEEE Journal of Solid-State Circuits* vol. 32, pp. 933-942, 1997.

[16] Y. Geerts, M. Steyaert, and W. Sansen; "A 3.3 V 15-bit delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL-applications," in *Analog Circuit Design*, ed, Springer, 1999, pp. 73-98.

[17] A. Di Giandomenico, S. Paton, A. Wiesbauer, L. Hernández, T. Potscher, and L. Dorrer; "A 15 MHz bandwidth sigma-delta ADC with 11 bits of resolution in 0.13/spl mu/m CMOS," *Proceedings of the 29th European Solid-State Circuits Conference*, pp. 233-236, 2003.

[18] B. Razavi; *Principles of data conversion system design*, IEEE press, 1995.

[19] D. A. Johns and K. Martin; *Analog integrated circuit design*, John Wiley & Sons, 2008.

[20] A. Delic-Ibukic and D. M. Hummels; "Continuous digital calibration of pipeline A/D converters," *IEEE Transactions on Instrumentation and Measurement*, vol. 55, pp. 1175-1185, 2006.

[21] B. Razavi; *Design of analog CMOS integrated circuits*, Tata McGraw-Hill Education, 2002.

[22] R. Jiang and T. S. Fiez; "A 14-bit delta-sigma ADC with 8× OSR and 4-MHz conversion bandwidth in a 0.18-μm CMOS process," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 63-74, 2004.

[23] B. Kim and T. Kim; "Sigma-delta analog-to-digital converter using mixed-mode integrator," U.S. Patent 6,424,279, 2002.

[24] Z. Sohrabi and M. Yavari; "A 13 bit 10 MHz bandwidth MASH 3–2 ΣΔ modulator in 90 nm CMOS," *International Journal of Circuit Theory and Applications*, vol. 41, pp. 1136-1153, 2013.

[25] H. Pakniat, M. Yavari, and R. Lotfi; "A digital background correction technique combined with DWA for DAC mismatch errors in multibit ΣΔ ADCs," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2010, pp. 293-296.

[26] J. Silva, U. Moon, J. Steensgaard, and G. Temes; "Wideband low-distortion delta-sigma ADC topology," *Electronics Letters*, vol. 37, pp. 737-738, 2001.

[27] N. Maghari, S. Kwon, G. Temes, and U. Moon; "Sturdy mash Δ-Σ modulator," *Electronics Letters*, vol. 42, pp. 1269-1270, 2006.

[28] K. Lee, M. Bonu, and G. Temes; "Noise-coupled ΔΣ ADCs," *Electronics Letters*, vol. 42, pp. 1381-1382, 2006.

[29] S. Haykin; "Adaptive filter theory, 1996," *Bath in telecommunication systems, radio resource management,(adhoc) multihop relay system, sensor network and*

particularly their applicable issues to 4G mobile communication systems and cognitive radio systems, pp. 12-13, 2000.

[30] B. Farhang-Boroujeny; *Adaptive filters: theory and applications*, John Wiley & Sons, 2013.

[31] M. H. Hayes; *Statistical digital signal processing and modeling*, John Wiley & Sons, 2009.

[32] T. Aboulnasr and K. Mayyas; "A robust variable step-size LMS-type algorithm: analysis and simulations," *IEEE Transactions on Signal Processing,* vol. 45, pp. 631-639, 1997.

[33] J. G. Proakis; *Digital signal processing: principles algorithms and applications*, Pearson Education India, 2001.

[34] R. del Río; *CMOS cascade Sigma-Delta modulators for sensors and telecom: error analysis and practical design*, Springer, 2006.

[35] I. LA Williams and B. A. Wooley; "A third-order sigma-delta modulator with extended dynamic range," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 193-202, 1994.

[36] A. Pena-Perez, V. R. Gonzalez-Diaz, and F. Maloberti; "Analog sigma-delta modulation with Op-Amp gain compensation for nanometer technologies," *Analog Integrated Circuits and Signal Processing,* vol. 76, pp. 297-305, 2013.

[37] S.-H. Wu and J.-T. Wu; "A 81-dB Dynamic Range 16-MHz Bandwidth ΔΣ Modulator Using Background Calibration," *IEEE Journal of Solid-State Circuits,* vol. 48, pp. 2170-2179, 2013.

[38] G. Cauwenberghs and G. C. Temes; "Adaptive digital correction of analog errors in MASH ADCs I Off-line and blind on-line calibration," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 47, pp. 621-628, 2000.

[39] P. Kiss, J. Silva, A. Wiesbauer, T. Sun, U.-K. Moon, J. T. Stonick, *et al.*; "Adaptive digital correction of analog errors in MASH ADCs II Correction using test-signal injection," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, pp. 629-638, 2000.

[40] F. Yang and M. Gani; "Robust Calibration of an Improved Delta-Sigma Data Converter Using Convex Optimization," *IEEE Journal of Selected Topics in Signal Processing,* vol. 1, pp. 678-685, 2007.

[41] Y.-S. Chou, C.-C. Lin, H.-L. Chen, and J.-S. Chiang; "Heuristic finite-impulse-response filter design for cascaded ΣΔ modulators with finite amplifier gain," *IET circuits, devices & systems,* vol. 6, pp. 235-245, 2012.

[42] M. Ortmanns, F. Gerfers, and Y. Manoli; "A new technique for automatic error correction in ΣΔ modulators," in *IEEE International Symposium on Circuits and Systems*, 2005, pp. 2539-2542.

[43] K. A. O'Donoghue, P. J. Hurst, and S. H. Lewis; "A digitally corrected 5-mW 2-MS/s SC ADC in 0.25-m CMOS with 94-dB SFDR," *IEEE Journal of Solid-State Circuits,* vol. 46, pp. 2673-2684, 2011.

[44] O. Oliaei; "Noise analysis of correlated double sampling SC-integrators," in *IEEE International Symposium on Circuits and Systems*, 2002, pp. IV-445-IV-448 vol. 4.

[45] C. C. Enz and G. C. Temes; "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE,* vol. 84, pp. 1584-1614, 1996.

[46] R. Schreier, J. Silva, J. Steensgaard, and G. C. Temes; "Design-oriented estimation of thermal noise in switched-capacitor circuits," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, pp. 2358-2368, 2005.

[47] B. Razavi and B. A. Wooley; "Design techniques for high-speed, high-resolution comparators," *IEEE Journal of Solid-State Circuits,* vol. 27, pp. 1916-1926, 1992.

[48] M. Yavari, "Low-voltage high-performance sigma-delta modulators for broadband applications," Ph.D. Dissertation, University of Tehran, 2006.

[49] I. Mehr and D. Dalton; "A 500-MSample/s, 6-bit Nyquist-rate ADC for disk-drive read-channel applications," *IEEE Journal of Solid-State Circuits,* vol. 34, pp. 912-920, 1999.

Abstract

Nowadays, strives to provide new methods to build electronic devices smaller and more efficient have been increased. One of the widely used blocks in electronic circuits is analog to digital converter. Sigma-Delta (ΣΔ) modulator is a type of converters, which employ feedback loop and noise shaping technique to convert analog signals. These converters are used traditionally in different applications such as high-resolution audio systems, instrumentation and measurement devices, and biomedical applications. To achieve higher resolution, cascaded structures offer a robust stable alternative instead of using high-order single-loop structures. However they are very sensitive to the analog circuit imperfections since they rely on the precise transfer function matching of the analog and digital sections to avoid prior stages' quantization noise leakage. To overcome this problem, calibration techniques are usually applied for compensation.

In this work, a new accumulative error model is provided by combining existing finite amplifier DC gain model and settling model. Then, a digital background calibration technique which utilizes digital adaptive filters is proposed to improve the resolution of discrete time multi-stage noise shaping (MASH) sigma-delta modulators. The circuit imperfections of switched-capacitor discrete-time integrators (DTIs) degenerate the modulator output resolution, especially in MASH structures since prior stages' noise leaks to the modulator output. The proposed model defines the errors induced by limited DC gain and gain-bandwidth (GBW) of DTIs as a function of their outputs. Compensating for these errors is possible through two steps which are DTI output digital approximation and first-order adaptive filter correction. To identify the adaptive filter parameters, 1-bit pseudorandom test signals are injected to the inputs of the DTIs and least mean square (LMS) algorithm is utilized. The proposed technique is simulated systematically in MATLAB by applying it to three different MASH structures. On average, the calibrated output has 26dB improved SNDR. Therefore, 93% of SNDR degeneration is compensated. One of the three MASH structures is selected to be implemented in 90 nm CMOS technology. The result is 23.3dB improve in SNDR by 0.8mW power consumption. Hence, by using this technique, relaxed amplifiers with lower power consumption can be employed.

Key Words: Sigma-delta data converter, Multi-stage noise shaping modulator, digital background calibration, limited DC gain, finite gain-bandwidth.

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Title

Digital Calibration of Analog Circuits Nonidealities in Sigma-Delta A/D Converters

By
Alireza Bafandeh

Supervisor
Dr. Mohammad Yavari

February 2015