Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering
M.Sc. Thesis

Calibration of DAC Capacitors Mismatch and Comparator Offset in SAR Analog-to Digital Converters

By
Alireza Ahrar

Supervisor
Dr. Mohammad Yavari

Fall 2021

بسم الله الرحمن الرحیم

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد
گرایش مدارهای مجتمع الکترونیک

کالیبراسیون خطای عدم تطبیق خازن‌های DAC و آفست مقایسه‌گر در مبدل‌های آنالوگ به دیجیتال SAR

نگارش
علیرضا احرار

استاد راهنما
دکتر محمد یاوری

پاییز ۱۴۰۰

برگ ارزیابی پایان‌نامه شماره #۱۴۸۹۸۸

کارشناسی ارشد (تئوری)

علیرضا احرار (۹۷۱۲۳۰۲۳)

دانشکده مهندسی برق

رشته-گرایش مهندسی برق - مدارهای مجتمع الکترونیک

عنوان اولیه پایان‌نامه کالیبراسیون خطای عدم تطبیق خازنهای DAC و آفست مقایسه گر در مبدلهای آنالوگ به دیجیتال SAR

عنوان تغییر یافته با همان عنوان پذیرفته شد

تاریخ تصویب ۰۳-۱۹-JUN

تعداد واحد پایان‌نامه ۶

تاریخ دفاع ۱۴۰۰/۰۹/۰۲

نوع برگزاری نشست حضوری :: ساختمان ابوریحان -طبقه ی 4 کلاس 416

اعضای هیات داوران

#	هیات داوران	نام و نام خانوادگی	کد پورتال	وضعیت حضور
۱	استاد راهنما یک	محمد یاوری	۱۱۳۳۵	حاضر در نشست فیزیکی
۲	استاد راهنما دو	---	---	---
۳	استاد راهنما سه	---	---	---
۴	استاد مشاور یک	---	---	---
۵	استاد مشاور دو	---	---	---
۶	داور داخلی یک	حسن کاتوزیان	۱۰۷۹۱	حاضر در نشست فیزیکی
۷	داور داخلی دو	---	---	---
۸	داور خارجی یک	---	---	---
۹	داور خارجی دو	---	---	---
۱۰	داور آخر	محسن معزی	۱۵۶۶۱	حاضر در نشست فیزیکی
۱۱	نماینده تحصیلات تکمیلی	حسن کاتوزیان	۱۰۷۹۱	حاضر در نشست فیزیکی

گواهی می‌گردد ارزیابی دفاع ۱۸/۰۰ (هجده تمام از بیست،) نمره مقاله یا کار ویژه ۱/۰۰ (یک تمام) و نمره نهایی ارزیابی دفاع پایان‌نامه ۱۹/۰۰ (نوزده) با درجه **عالی** ثبت گردیده است.

معاونت تحصیلات تکمیلی دانشکده

مهندسی برق

به نام خدا

تاریخ:

تعهدنامه اصالت اثر

اینجانب علیرضا احرار متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

در صفحه تعهدنامه اصالت اثر، در قسمت بالا سمت چپ، تاریخ دفاع خود را جایگزین تاریخ نوشته شده کنید.

همچنین در صفحه تعهدنامه اصالت اثر، در خط اول، نام و نام خانوادگی خود را به صورت کامل با نام و نام خانوادگی نمونه، جایگزین کنید. در انتهای متن تعهد، در قسمت امضا نیز باید نام و نام خانوادگی کامل خود را وارد نماید.

علیرضا احرار

امضا

تقدیم به با ارزش ترین سرمایه های زندگی ام

برادر گرامی و خواهر مهربانم

حال که به انتهای این مقطع رسیدم، جا دارد از تمام زحمات و حمایت‌های استاد بزرگوارم جناب آقای دکتر یاوری قدردانی به عمل آورم. از دوستان و همکلاسی‌های گرامی که ایام خوشی را در کنارشان سپری کردم بی نهایت سپاسگذارم. از اعضای آزمایشگاه مدار مجتمع به ویژه خانم یوسفی راد، آقایان عباسی و مهسافر که از علم و تجربیاتشان بهره بردم تشکر به عمل می‌آورم. ضمن اینکه از اساتید محترم، جناب دکتر کاتوزیان و دکتر معزی عزیز برای حضور در جلسه‌ی دفاع به عنوان داور قدردانی ویژه دارم.

چکیده

مبدل‌های SAR با ساختار حداکثر دیجیتالی و توان مصرفی کم، قابلیت تبدیل داده با تفکیک‌پذیری و نرخ نمونه‌برداری متوسط رو به بالا را دارا می‌باشند. عمده‌ترین عوامل ایجاد خطا در این نوع از مبدل‌های داده، آفست ورودی مربوط به مقایسه‌گر و عدم تطبیق بین خازن‌های آرایه‌ی خازنی در بلوک دیجیتال به آنالوگ می‌باشد. امروزه ویژگی‌های منحصر به فرد این مبدل طراحان را به ابداع روش‌های برای غلبه بر عوامل غیرایده‌آل در این مبدل ترغیب کرده است.

در این پایان نامه با ابداع روش‌هایی برای کالیبراسیون آفست مقایسه‌گر و عدم تطبیق خازن‌های DAC سعی به غلبه بر این عوامل انجام شده است. کنترل آفست مقایسه‌گر بوسیله‌ی تغییر ابعاد و یا ولتاژ آستانه زوج ترانزیستوری ورودی امکان‌پذیر می‌باشد. به همین منظور روش ارائه شده دارای دو فاز کاری بوده که در فاز اول با تغییر ابعاد و فاز دوم با کنترل بایاس بدنه‌ی زوج ورودی عمل حذف آفست انجام شده است. روش ابداع شده برای کالیبراسیون آفست ورودی مقایسه‌گر ترکیبی از روش‌های سریع و دقیق است که ضمن حفظ دقت بالای روش‌های مرسوم، سرعت آن را بهبود بخشیده است. کاهش ۵۸ برابری میزان آفست ورودی پس از اعمال کالیبراسیون بیانگر کارایی مفید این روش می‌باشد. ضمن اینکه روش ابداع شده برای کالیبراسیون عدم تطبیق خازن‌های DAC نیز شامل دو فاز بوده که در فاز اول با تکیه بر یک روش مبتنی بر تشخیص خطای DNL عدم تطبیق خازن‌ها را با دقت LSB 1 کالیبره کرده و در فاز دوم روشی مبتنی بر استخراج همبستگی سیگنال شبه‌تصادفی اضافی با وزن خازن‌های آرایه می‌باشد که دقت آن LSB 0.5 است. اصول عملکرد این روش همانند روش ارائه شده برای کالیبراسیون آفست مقایسه‌گر تکیه بر ترکیب دو روش سریع و دقیق با مکمل اصلاح و بهینه‌سازی سوئیچ‌زنی مدار می‌باشد. نهایتاً نتایج حاصل از شبیه‌سازی بهبود dB 15.53 برای پارامتر SNDR را نشان داده که سرعت این عملیات ۲/۲۷ برابر از روش مرسوم برتری دارد.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال SAR، کالیبراسیون، مقایسه‌گر، DAC خازنی، خطای DNL، همبستگی.

فهرست مطالب

صفحه

چکیده ..... **أ**

واژه نامه ..... **ط**

فصل اول: مقدمه **۱**

۱-۱- مقدمه ۱

۱-۲- هدف پایان‌نامه ۳

۱-۳- ساختار پایان‌نامه ۳

۱-۴- دستاوردهای پایان‌نامه ۴

فصل دوم: مروری بر مبدل‌های آنالوگ به دیجیتال SAR **۵**

۲-۱- اساس کارکرد مبدل‌های آنالوگ به دیجیتال ۵

۲-۱-۱- فیلتر ضد الیاسینگ ۵

۲-۱-۲- مدار نمونه‌بردار ۶

۲-۱-۳- کوانتایزر ۷

۲-۱-۴- پردازنده دیجیتال ۸

۲-۲- پارامترهای سنجش عملکرد مبدل‌های داده ۸

۲-۲-۱- پارامترهای استاتیک ۱۰

۲-۲-۲- پارامترهای دینامیک ۱۲

۲-۳- بررسی مبدل آنالوگ به دیجیتال SAR ۱۳

۲-۳-۱- نحوه عملکرد مبدل آنالوگ به دیجیتال SAR ۱۴

۲-۳-۲- عوامل ایجاد خطا در مبدل آنالوگ به دیجیتال SAR ۱۴

فصل سوم: مروری بر روش‌های کالیبراسون در مبدل‌های آنالوگ به دیجیتال SAR **۱۸**

۳-۱- مقدمه ۱۸

۳-۲- کالیبراسیون مقایسه‌گر ۱۹

۳-۲-۱- ساختارهای مقایسه‌گر ۱۹

۳-۲-۲- حذف آفست به روش تنظیم امپدانس ۲۳

۳-۲-۳- حذف آفست به روش تنظیم جریان ۲۵

۳-۲-۴- حذف آفست به روش تنظیم ولتاژ ۲۹

۳-۲-۵- حذف آفست با استفاده از مدارات خاص ۳۱

۳-۳- کالیبراسیون مبدل دیجیتال به آنالوگ خازنی ۳۲

۳-۳-۱- ساختارهای آرایه‌ی خازنی ۳۲

۳-۳-۲- روش‌های پیش‌زمینه در کالیبراسیون خطای عدم تطبیق ۳۵

۳-۳-۳- روش‌های پس‌زمینه در کالیبراسیون خطای عدم تطبیق ۳۸

فصل چهارم: ارائه‌ی روش کالیبراسیون برای آفست مقایسه‌گر و عدم تطبیق خازن‌های DAC ۴۵

۴-۱- کالیبراسیون آفست مقایسه‌گر ۴۵

۴-۱-۱- فاز اول کالیبراسیون آفست مقایسه‌گر: روش تعادل وزنی ۴۶

۴-۱-۲- فاز دوم کالیبراسیون آفست مقایسه‌گر: روش تنظیم امپدانسی ۴۹

۴-۲-کالیبراسیون عدم تطبیق در خازنهای DAC ۵۴

۴-۲-۱- فاز اول کالیبراسیون عدم تطبیق خازن‌های DAC: روش خود کالیبراسیون ۵۸

۴-۲-۲- فاز دوم کالیبراسیون عدم تطبیق خازن‌های DAC: روش مبتنی بر همبستگی ۵۸

۴-۳- طراحی مداری مؤلفه‌های مورد استفاده ۶۱

۴-۳-۱- مدارهای پایه ۶۱

۴-۳-۲- لاجیک SAR ۶۴

۴-۳-۳- مقایسه‌گر ۶۵

۴-۳-۴- مبدل دیجیتال به آنالوگ برای کالیبراسیون آفست مقایسه‌گر با استفاده از بایاس بدنه ۶۶

۴-۳-۵- خازن واحد در آرایه‌ی خازنی DAC ۶۷

۴-۳-۶- سوئیچ‌های مدار ۶۸

فصل پنجم: نتایج شبیه‌سازی ۷۱

۵-۱-نتایج شبیه‌سازی ۷۱

۵-۱-۱- گام اول: شبیه‌سازی مداری مبدل ایده‌آل ۷۱

۵-۱-۲- گام دوم: استخراج عوامل غیرایده‌آل مقایسه‌گر ۷۲

۵-۱-۳- گام سوم: کالیبراسیون مقایسه‌گر ۷۴

۵-۱-۴- گام چهارم: مدلسازی عوامل غیر ایده‌آل بر عملکرد مبدل ۷۶

۵-۱-۵- گام پنجم: شبیه‌سازی سیستمی کالیبراسیون عدم تطبیق DAC ۷۸

۵-۲- روش انجام شبیه‌سازی‌ها ۸۱

۵-۲-۱- شبیه‌سازی‌های مربوط به آفست مقایسه‌گر ۸۱

۵-۲-۲- شبیه‌سازی‌های مربوط به آرایه‌ی خازنی ۸۲

۵-۳- تحلیل نتایج شبیه‌سازی ۸۴

۵-۳-۱- مقایسه‌ی کیفی نتایج شبیه‌سازی ۸۴

۵-۳-۲- مقایسه‌ی کمی نتایج شبیه‌سازی ۸۷

فصل ششم: نتیجه‌گیری و پیشنهادات ۸۸

۶-۱- نتیجه‌گیری ۸۸

۶-۲-پیشنهادات ۸۹

مراجع ۹۰

پیوست الف: رابط کاربری گرافیکی..... ۹۴

Abstract ۹۵

فهرست شکل‌ها

صفحه

شکل (۱-۱): شمای کارکرد مبدل آنالوگ۲ به دیجیتال. ۱
شکل (۱-۲): مصالحه‌ی سرعت و تفکیک‌پذیری مبدل‌های آنالوگ به دیجیتال. ۲
شکل (۲-۱): پروسه‌ی تبدیل یک داده آنالوگ به کد دیجیتال. ۶
شکل (۲-۲): نمونه‌برداری ایده‌آل. ۶
شکل (۲-۳): نمونه‌برداری با استفاده از مدار Track & Hold. ۷
شکل (۲-۴): منحنی مشخصه یک کوانتایزر ایده‌آل سه بیتی. ۸
شکل (۲-۵): خطای کوانتیزاسیون یک مبدل ایده‌آل سه بیتی. ۹
شکل (۲-۶): (الف): خطای آفست و (ب): خطای بهره در یک مبدل آنالوگ به دیجیتال. ۱۱
شکل (۲-۷): (الف) خطای DNL و (ب) خطای INL در یک مبدل آنالوگ به دیجیتال. ۱۲
شکل (۲-۸): بلوک دیاگرام مبدل آنالوگ به دیجیتال SAR. ۱۴
شکل (۲-۹): فلوچارت عملکرد مبدل آنالوگ به دیجیتال SAR. ۱۵
شکل (۲-۱۰): مبدل SAR با ساختار توزیع مجدد بار. ۱۵
شکل (۲-۱۱): مقایسه‌گر غیر ایده‌آل. ۱۶
شکل (۲-۱۲): نمونه‌برداری صفحه بالایی. ۱۷
شکل (۳-۱): یک مقایسه‌گر لچ شونده تمام دینامیک. ۲۲
شکل (۳-۲): مقایسه‌گر لچ‌شونده تمام دینامیک بازو قوی. ۲۲
شکل (۳-۳): مقایسه‌گر لچ‌شونده تمام دینامیک دو دم. ۲۳
شکل (۳-۴): حذف آفست به روش تنظیم امپدانس [۱۵]. ۲۳
شکل (۳-۵): حذف آفست به روش تنظیم جریان [۱۹]. ۲۶
شکل (۳-۶): زمانبندی فعالسازی پایه‌های RES, OC_1, OC_2. ۲۶
شکل (۳-۷): حذف آفست جریانی با زوج ترانزیستور موازی با ورودی مقایسه‌گر [۲۰]. ۲۸
شکل (۳-۸): حذف آفست جریانی با بهره‌گیری از عدم‌تطبیق عمدی [۱۱]. ۲۸
شکل (۳-۹): حذف آفست با استفاده از تنظیم ولتاژ [۲۳]. ۳۰
شکل (۳-۱۰): طرح مفهومی روش کالیبراسیون. ۳۰
شکل (۳-۱۱): کالیبراسیون آفست مقایسه‌گر با استفاده از مدار چاپینگ [۲۴]. ۳۱
شکل (۳-۱۲): کالیبراسیون آفست مقایسه‌گر با استفاده از مدار تخمین‌گر [۲۵]. ۳۱
شکل (۳-۱۳): مبدل دیجیتال به آنالوگ خازنی باینری وزن‌دار. ۳۳
شکل (۳-۱۴): مبدل دیجیتال به آنالوگ خازنی باینری وزن‌دار تقسیم‌شده. ۳۴
شکل (۳-۱۵): مبدل دیجیتال به آنالوگ خازنی باینری وزن‌دار تقسیم‌شده با خازن تضعیف‌کننده. ۳۴
شکل (۳-۱۶): کالیبراسیون خطای عدم تطبیق خازن‌های مقایسه‌گر به روش خود کالیبراسیون. ۳۷

شکل (۳-۱۷): کالیبراسیون خطای عدم تطبیق خازن‌های مقایسه‌گر به روش تخمین DNL [۲۷]. ۳۷
شکل (۳-۱۸): کالیبراسیون خطای عدم تطبیق خازن‌های DAC به روش استخراج همبستگی. ۳۸
شکل (۳-۱۹): کالیبراسیون با روش استخراج همبستگی با N سیگنال شبه‌تصادفی و مبدل آنالوگ به دیجیتال مرجع [۳۰]. ۳۹
شکل (۳-۲۰): کالیبراسیون با ترکیب دو روش مبتنی بر تبدیل دوگانه [۳۱]. ۴۰
شکل (۳-۲۱): چینش بیت‌ها در مبدل ۱۳ بیتی با ۱۶ سیکل [۳۲]. ۴۱
شکل (۳-۲۲): کالیبراسیون به روش استخراج همبستگی با استفاده از آرایه اصلی [۳۳]. ۴۲
شکل (۴-۱): کالیبراسیون به روش تعادل وزنی. ۴۶
شکل (۴-۲): گیتهای کنترل شونده بوسیله‌ی شمارنده. ۴۷
شکل (۴-۳): فلوچارت عملکرد کالیبراسیون با استفاده از تعادل وزنی. ۴۸
شکل (۴-۴): مدار منطقی طراحی شده برای کالیبراسیون با استفاده از تعادل وزنی. ۴۹
شکل (۴-۵): آرایه‌ی مقاومتی R-2R [۱۵]. ۵۰
شکل (۴-۶): آرایه جریانی مبتنی بر کد حرارتی [۱۵]. ۵۱
شکل (۴-۷): آرایه مقاومتی مبتنی بر کد حرارتی [۱۵]. ۵۲
شکل (۴-۸): استفاده از رجیستر در نقش بافر برای پیاده‌سازی بازنشانی زمانی. ۵۲
شکل (۴-۹): پیاده سازی کالیبراسیون با استفاده از تنظیم بایاس بدنه. ۵۳
شکل (۴-۱۰): مدار منطقی طراحی شده برای کالیبراسیون با استفاده از بایاس بدنه. ۵۴
شکل (۴-۱۱): ساختار مبدل مورد استفاده. ۵۵
شکل (۴-۱۲): ساختار مبدل مورد استفاده. ۵۵
شکل (۴-۱۳): تعیین بیتهای خروجی با استفاده از بیتهای خام. ۵۷
شکل (۴-۱۴): نمایی از روش سوئیچ‌زنی مورد استفاده [۳۹]. ۵۷
شکل (۴-۱۵): زمانبندی عملکرد مبدل. ۶۱
شکل (۴-۱۶): ساختار مدار منطقی لچ. ۶۳
شکل (۴-۱۷): ساختار مدار منطقی رجیستر. ۶۳
شکل (۴-۱۸): ساختار مدار لاجیک SAR [۴۱]. ۶۴
شکل (۴-۱۹): مقایسه‌گر بازو قوی مورد استفاده. ۶۶
شکل (۴-۲۰): آرایه‌ی مقسم جریان با ساختار کد حرارتی. ۶۷
شکل (۴-۲۱): آرایه‌ی مقسم جریان با ساختار کد حرارتی. ۶۷
شکل (۴-۲۲): سوئیچ کلاک بوتسترپینگ [۴۷]. ۶۹
شکل (۵-۱): طیف خروجی در شبیه‌سازی مداری. ۷۲
شکل (۵-۲): نتیجه شبیه‌سازی مونت-کارلو برای نقطه‌ی تغییر سطح در خروجی مقایسه‌گر. ۷۳
شکل (۵-۳): توزیع آفست ورودی مقایسه‌گر. ۷۳
شکل (۵-۴): توزیع آفست پس از کالیبراسیون مقایسه‌گر با استفاده از تعادل وزنی. ۷۵

شکل (۵-۵): توزیع آفست پس از کالیبراسیون مقایسه‌گر با استفاده از تنظیم بایاس بدنه مبتنی بر تقسیم جریانی. ۷۵
شکل (۵-۶): توزیع آفست پس از کالیبراسیون مقایسه‌گر با استفاده از تنظیم بایاس بدنه مبتنی بر تقسیم ولتاژی. ۷۶
شکل (۵-۷): توزیع احتمال متغیر تصادفی نویز مقایسه‌گر. ۷۷
شکل (۵-۸): طیف خروجی مبدل با در نظر گرفتن عوامل غیر ایده‌آل. ۷۷
شکل (۵-۹): طیف خروجی مبدل پس از اعمال روش خود-کالیبراسیون. ۷۸
شکل (۵-۱۰): طیف خروجی مبدل پس از اعمال کالیبراسیون مبتنی بر دیترینگ. ۷۹
شکل (۵-۱۱): تغییرات SNDR بر حسب تعداد تکرار. ۸۰
شکل (۵-۱۲): تغییرات SNDR و SFDR بر حسب فرکانس ورودی (الف) قبل و (ب) بعد از کالیبراسیون. ۸۰
شکل (۵-۱۳): منحنی خطاهای DNL و INL (الف) پیش و (ب) از کالیبراسیون. ۸۱
شکل (۵-۱۴): محاسبه‌ی آفست باقی مانده. ۸۳
شکل (۵-۱۵): آرایه‌ی خازنی تعریف شده در MATLAB. ۸۳

فهرست جداول

صفحه

جدول (۳-۱): مقایسه‌ی مبدل‌های دیجیتال به آنالوگ از لحاظ مساحت و توان. ۳۵
جدول (۳-۲): کدهای فعالساز کالیبراسیون ۴۱
جدول (۳-۳): خلاصه‌ی روش‌های کالیبراسیون ۴۴
جدول (۴-۱): مقایسه مبدل دیجیتال به آنالوگ مبتنی بر تقسیم ولتاژ و جریان. ۵۳
جدول (۴-۲): گیت‌های پایه دسته اول. ۶۲
جدول (۴-۳): ابعاد ترانزیستورهای مقایسه‌گر. ۶۵
جدول (۴-۴): ابعاد ترانزیستورهای سوئیچ کلاک بوتسترپینگ. ۶۹
جدول (۴-۵): ابعاد سایر سوئیچ‌ها. ۷۰
جدول (۵-۱): تاثیر نشست ناقص و عوامل پارازیتی. ۷۲
جدول (۵-۲): نتایج بدست آمده از شبیه‌سازی‌های مداری مقایسه‌گر پیش از کالیبراسیون. ۷۳
جدول (۵-۳): نتایج بدست آمده از شبیه‌سازی‌های مداری مقایسه‌گر پس از کالیبراسیون. ۷۵
جدول (۵-۴): خلاصه‌ای از عوامل غیر ایده‌آل مبدل آنالوگ به دیجیتال. ۷۸
جدول (۵-۵): نتایج بدست آمده از شبیه‌سازی‌های سیستمی مبدل پس از کالیبراسیون. ۷۹
جدول (۵-۶): نتایج بدست آمده از شبیه‌سازی‌های SNDR بر حسب تکرار. ۸۰
جدول (۵-۷): مقایسه‌ی پیچیدگی روش‌های کالیبراسیون. ۸۶
جدول (۵-۸): مقایسه‌ی روش کالیبراسیون آفست مقایسه‌گر ارائه شده با سایر شیوه‌ها. ۸۷
جدول (۵-۹): مقایسه‌ی روش کالیبراسیون عدم تطبیق CDAC ارائه شده با سایر شیوه‌ها. ۸۷

واژه نامه

اثرات پارازیتی	Parasitic effects	تزریق الکترون داغ	Hot-electron injection
احیا	Regeneration	تعداد بیت‌های موثر	Effective number of bits (ENOB)
افزونگی	Redundancy	تفکیک پذیری	Resolution
آرایه خازنی	Capacitive array	تلاش منطقی	Logic effort
بار خازنی طبقه خروجی	External load capacitance	تنظیم امپدانسی	Impedance tuning
بازنشانی زمانی	Retiming	تنظیم جریان	Current tuning
بازو قوی	Strong-arm	تنظیم ولتاژ	Voltage tuning
بایاس بدنه	Body bias	توزیع مجدد بار	Charge-redistribution
بیش نمونه‌برداری	Oversampling	چرخه خوب	Fine cycle
پایپ لاین	Pipeline	چرخه سخت	Coarse cycle
پس‌زمینه	Background	چگالی کد	Code density
پمپ شارژ	Charge-pump	خطای استاتیک	Static error
پنجره میانبر	Bypass window	خطای آفست	Offset error
پهنای باند بهره	Gain-bandwidth	خطای بهره	Gain error
پهنای باند تفکیک پذیری موثر	Effective resolution bandwidth (ERB)	خطای دینامیک	Dynamic error
پیش‌زمینه	Foreground	خطای کوانتیزاسیون	Quantization error
تبدیل فوریه سریع	Fast Furrier transform (FFT)	خود کالیبراسیون	Self-calibration
دو دم	Double-tail	دسیمیشن	Decimation

رابط کاربری گرافیکی	Graphical user interface	دنبال‌کننده و نگهدارنده	Track and hold
رجیستر تقریب متوالی	Successive approximation register	کلاک بوتسترپینگ	Clock-bootstrapping
زوج متقاطع	Cross-coupled	کوانتایزر	Quantizer
شبه‌تصادفی	Pseudo-random	گلیچینگ	Glitching
صفحه بالایی	Top-plate	لاجیک	Logic
صفحه پایینی	Bottom-plate	ماشین پیش‌بینی‌گر	Predictive machine
ضد الیاسینگ	Anti-aliasing	مبدل SAR پیش-بینی‌گر	Predictive SAR
ضریب جریان	Current factor	مبدل آنالوگ به دیجیتال	Analog to digital converter
عدم تطبیق	Mismatch	مبدل دیجیتال به آنالوگ	Digital to analog converter
عرض کد	Code width	مبدل دیجیتال به آنالوگ	Digital to analog converter (DAC)
غیرخطینگی انتگرالی	Integral nonlinearity (INL)	مبدل سیگما-دلتا	Sigma-delta converter
غیرخطینگی دیفرانسیلی	Differential nonlinearity (DNL)	متاستابل	Metastable
فلش	Flash	محدوده دینامیکی	Dynamic range
فلوتینگ گیت	Floating-gate	محدوده دینامیکی خالی از اسپیور	Spurious-free dynamic range (SFDR)
فولدینگ و اینترپولیتینگ	Folding and interpolating	مدارات خاص	Certain circuits
کالیبراسیون مبتنی بر	Dithering-based	ولتاژ آستانه	Threshold voltage

		calibration	دیترینگ
Full-scale voltage	ولتاژ تمام مقیاس	Missing code	کد گمشده
Common-mode voltage	ولتاژ حالت مشترک	Code center	مرکز کد
Monotonic	یکنوا	Open-loop comparator	مقایسه‌گر حلقه‌باز
		Fully dynamic latched comparator	مقایسه‌گر لچ شونده تمام دینامیک
		Preamp-based latch comparator	مقایسه‌گر لچ‌شونده مبتنی بر پیش تقویت‌کننده
		Averaging	میانگین‌گیری
		Conversion rate	نرخ تبدیل
		Ladder	نردبان
		Signal to noise ratio (SNR)	نسبت سیگنال به نویز
		Signal to noise and distortion ratio (SNDR)	نسبت سیگنال به نویز و اعوجاج
		Incomplete settling	نشست ناقص
		Input-referred noise	نویز ارجاع داده شده به ورودی
		Kick-back noise	نویز کیک بک
		Inverter	وارونگر

مراجع

[1] B. Razavi, “Principles of data conversion system design,” *IEEE Press*, 1995.

[2] F. Maloberti, “Data Converters”, *Springer, Verlag*, 2007.

[3] J. Palackal Mathew, “SAR ADC Architecture Using Time Domain Processing,” *M.Sc. dissertation*, University of California, Los Angeles, 2012.

[4] R. Inanlou, “Design and Simulation of a Very Low-Power Successive Approximation Register (SAR) Analog-to-Digital Converter for Biomedical Applications,” *M.Sc. dissertation*, Amirkabir University of Technology, Tehran, Jan. 2012.

[5] G. Molina Salgado, A. Dicataldo, D. O’Hare, I. O’Connell, J. M. de la Rosa “Behavioral modeling of SAR ADCs in Simulink,” *IEEE International Symposium on Circuits and Systems,* pp. 1-5, May 2018.

[6] M. Bagheri, F. Schembari, N. Pourmousavian, H. Zare-Hoseini, D. Hasko and R. Bogdan Staszewski, “A mismatch calibration technique for SAR ADCs based on deterministic self-calibration and stochastic quantization,” *IEEE Transactions on Circuits and Systems I,* vol. 67, pp. 2883-2896, April 2020.

[7] A. Ahrar and M. Yavari, “A 14-bit SAR ADC with calibration for comparator offset and capacitive DAC mismatch,” *2nd Iranian Conference on Microelectronics,* pp.1-5, Dec 2020.

[8] W. Paul Zhang, X. Tong “Noise modeling and analysis of SAR ADCs,” *IEEE Transactions on Very Large-Scale Integration (VLSI) Systems,* vol. 23, pp. 2922-2930, Dec. 2014.

[9] P. Nuzzo, F. De Bernardinis, P. Terreni and G. Van der Plas, “Noise analysis of regenerative comparators for reconfigurable ADC architectures,” *IEEE Transactions on Circuits and Systems I,* vol. 55, pp. 1441-1454, Feb. 2008.

[10] A. Hsu Ting Chang,” Low-power high performance SAR ADC with redundancy and digital background calibration,” *PhD dissertation*, Massachusetts institute of technology. June 2013.

[11] Shih-Hsing, Wang and Chung-ChihHung, “A 0.3V 10b 3MS/s SAR ADC with comparator calibration and kickback noise reduction for biomedical applications,” *IEEE Transactions on Biomedical Circuits and Systems,* pp. 558 – 569, June 2020.

[12] X. Peng, A. Gao, Zh. Chen, H. Zhang, Y. Li, W. Cao, X. Liu, and H. Tang, “A novel comparator offset calibration technique for SAR ADCs,” *IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC),* June 2018.

[13] A. Ahrar and M. Yavari, “A Digital method for offset cancellation of fully dynamic latched comparators,” *Iranian Conference on Electrical Engineering* (ICEE), Tehran, Iran, May 2021.

[14] M. Yousefirad and M. Yavari, “Kick-back Noise Reduction and Offset Cancellation Technique for Dynamic Latch Comparator,” *Iranian Conference on Electrical Engineering* (ICEE), Tehran, Iran, May 2021.

[15] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, “A 10-b 50-MS/s 820-µW SAR ADC with On-Chip Digital Calibration,” *IEEE Transactions on Biomedical Circuits and Systems,* vol. 4, no. 6, pp. 410-416, Dec. 2010.

[16] J. Yao, J. Liu, and H. Lee, "Bulk voltage trimming offset calibration for high-speed flash ADCs," *IEEE Transactions on Circuits and Systems II*, vol. 57, no. 2, pp. 110-114, Feb. 2010.

[17] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A floating-gate comparator with automatic offset adaptation for 10-bit data conversion," *IEEE Transactions on Circuits and Systems I*, vol. 52, no. 7, pp. 1316-1326, July 2005.

[18] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A 1.2-GHz comparator with adaptable offset in 0.35-µm CMOS," *IEEE Transactions on Circuits and Systems I*, vol. 55, no. 9, pp. 2584-2594, Oct. 2008.

[19] X. Zhu et al., "A dynamic offset control technique for comparator design in scaled CMOS technology," *IEICE transactions on fundamentals of electronics, communications and computer sciences*, vol. 93, no. 12, pp. 2456-2462, Dec. 2010.

[20] C. H. Chan, Y. Zhu, U. F. Chio, S. W. Sin, U. Seng-Pan, and R. P. Martins, "A reconfigurable low-noise dynamic comparator with offset calibration in 90nm CMOS," *2011 Proceedings of Technical Papers: IEEE Asian Solid-State Circuits Conference 2011*, A-SSCC 2011, pp. 233-236, 2011.

[21] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," *Proceedings of 2008 IEEE Asian Solid-State Circuits Conference*, A-SSCC 2008, pp. 269- 272, Nov. 2008.

[22] Y. Mekkattillam, S. Mohapatra, N. R. Mohaptra, “Design and calibration of 14-bit 10 KS/s low-power SAR ADC for bio-medical applications,” *Springer International Symposium on VLSI Design and Test,* pp. 590-604, Aug. 2019.

[23] Ch. Chan, Y. Zhu, W. Zhang, Seng-Pan U, R. P. Matins, “A two way interleaved 7-b 2.4-GS/s 1-then-2 b/cycle SAR ADC with background offset calibration,” *IEEE Journal of Solid-state Circuits,* vol. 53, pp. 850-860, March 2018.

[24] S. Asghar, S. Saadat Afridi, A. Pillai, A. Schuler, J. M. de la Rosa, I. O’Connell, “A 2-MS/s, 11.22 ENOB, extended input range SAR ADC with improved DNL and offset calculation,” *IEEE Transactions on Circuits and Systems I,* vol. 65, pp. 3628-3638, Nov. 2018.

[25] Y. Chung, Y. Hsu, “A 12-bit 100-MS/s subrange SAR ADC with a foreground offset tracking calibration scheme,” *IEEE Transactions on Circuits ad Systems II,* vol. 66, pp. 1094-1098, July 2019.

[26] X. Yang, M. Zhao and X. Wu, “Capacitor mismatch calibration for SAR ADC with minimum area and power penalty,” *IET Electronics letters,* vol. 54, pp. 1208-1210, Oct. 2018.

[27] P. Handel, M. Skoglund and M. Petterson, “A calibration scheme for imperfect quantizers,” *IEEE Trans. Intrum. Meas.,* vol. 49, pp. 1063-1068, Oct. 2000.

[28] S. Lloyd, “Least squares quantization in PCM,” *IEEE Trans. Inf. Theory*, vol. IT-28, no. 2, pp. 129–137, March 1982.

[29] X. Wang, F. Li and Zh. Wang, “A simple histogram-based capacitor mismatch calibration in SAR ADC,” *IEEE Transactions on Circuits ad Systems II,* vol. 67, pp. 1094-1098, July 2020.

[30] G. Wang, F. Kacani, and Y. Chiu, "IRD digital backgroun calibration of SAR ADC with coarse reference ADC acceleration, “*in Proc. IEEE CICC,* pp. 1-4, Sep. 2012.

[31] J. Pena-Ramos and M. Verhelst, "Split-delta background calibration for SAR ADCs, “ *IEEE Transactions on Circuits and Systems II*, vol. 64, pp. 221-225, Feb. 2017.

[32] M. Ding, P. Harpe, Yao-Hong Liu, B. Busze, K. Philips, and H. de Groot, “A 46 μW 13 b 6.4 MS/s SAR ADC with background mismatch and offset calibration,” *IEEE Journal of Solid-state Circuits*, vol. 52, no. 2, pp. 423 – 432, Feb. 2016.

[33] J. Wu, A. Wu and Y. Du, “Dithering-based calibration of capacitor mismatch in SAR ADCs,” *IET Electronics letters,* vol. 52 (19), pp. 1598-1600, Sep. 2016.

[34] D. Marche, Y. Savaria and Y. Gagnon, “An improved switch compensation technique for inverted R-2R DACs,” *IEEE Transactions on Circuits and Systems I,* vol. 56, pp. 1115-1124, June. 2009.

[35] D. Marche, Y. Savaria and Y. Gagnon, “Modelling R-2R segmented-ladder DACs,” *IEEE Transactions on Circuits and Systems I,* vol. 57, pp. 31-43, Jan. 2010.

[36] M. Yavari, *Data Converters,* Class notes, Amirkabir University of Technology, Spring 2019.

[37] M. Nagatoni, H. Nosaka, Sh. Yamanaka, K. Sano and K. Murata, “An ultrahigh-speed low-power DAC using InP HBTs for multi-level optical transmition systems,” *Compound Semiconductor Integrated Circuit Symposium (CSICS),* Oct. 2010.

[38] Sh. Xie and A. Theuwissen, "A 10 bit 5 MS/s column SAR ADC with digital error correction for CMOS image sensors, “*IEEE Transactions on Circuits and Systems II*, vol. 67, pp. 984-988, June 2020.

[39] E. Rahimi and M. Yavari, “Energy-efficient high-accuracy switching method for SAR ADCs,” *IET Electronics letters,* vol. 50 (7), pp. 499-501, March 2014.

[40] M. Shalchian, *VLSI,* Class notes, Amirkabir University of Technology, Spring 2014.

[41] T. O. Anderson, "Optimum control logic for successive approximation analog-to-digital converters," *Computer Design*, vol. 11, no. 7, pp. 81-86, 1972.

[42] A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters," *IET Electronics letters,* vol. 32 (12), pp. 1055-1057, June 1996.

[43] S. Haenzsche, S. Henker and R. Schuffiny "Modeling of capacitor mismatch and non-linearity effects in charge redistribution SAR ADCs," *Proceedings of the 17th International Conference Mixed Design of Integrated Circuits and Systems,* June 2010.

[44] S. Brenna, A. Bonetti, A. L. Lacatita and A. Bonfanti, "A modeling enviornment for the simulation and design of charge redistribution DACs used in SAR ADCs," *2014 UKSim 16th International Conference on Computer Modeling and Simulation,* March 2014.

[45] M. Ding, P. Harpe, Yao-Hong Liu, B. Busze, K. Philips, and H. de Groot, "A 0.7-v MOSFET-only switched-opamp/spl sigma/spl delta/modulator in standard digital CMOS technology," *IEEE Journal of Solid-state Circuits*, vol. 37, no. 12, pp. 1662 – 1669, Dec. 2020.

[46] Ch. Liu, Ch. Kuo and Y. Lin "A 10 bit 320 MS/s low-cost SAR ADC for IEEE 802.11ac applications in 20nm CMOS," *IEEE Journal of Solid-state Circuits*, vol. 50, no. 11, pp. 2645 – 2654, Nov. 2015.

[47] M. Yavari, "High-performance, low-voltage Sigma-Delta modulator design for wideband applications," *Ph.D. dissertation*, University of Tehran, Tehran, July 2006.

Abstract

SAR data converters with maximum digital structure and low power consumption have the ability to convert data with medium to high resolution and sampling rate. The main causes of error in this type of data converter are the input offset related to the comparator and the mismatch between the capacitors of the capacitive array in the digital-to-analog block. Today, the unique features of this converter have encouraged designers to devise methods to overcome non-ideal factors in this converter.

In this dissertation, by inventing methods for calibration of comparator offset and non-matching of DAC capacitors, an attempt has been made to overcome these factors. Comparator offset control is possible by dimensional change or input threshold voltage of the input transistor pair. For this purpose, the proposed method has two operational phases; in the first phase, by changing the dimensions, and in the second phase, by controlling the bias of the input pair body, the offset removal operation is performed. The method developed for calibrating the input offset comparator is a combination of fast and accurate methods that have improved its speed while maintaining the high accuracy of conventional methods. A 58-fold reduction in input offset after calibration indicates the useful performance of this method. In addition, the developed method for calibration of mismatch DAC capacitors also includes two phases. In the first phase, based on a method based on DNL error detection, the mismatch of capacitors is calibrated with an accuracy of 1 LSB, and in the second phase, a method based It is based on extracting the correlation of additional quasi-random signal with the weight of array capacitors with an accuracy of 0.5 LSB. The operating principles of this method are the same as the proposed method for comparative offset calibration, relying on the combination of two fast and accurate methods with complimentary modification and optimization of circuit switching. Finally, the simulation results show a 15.53 dB improvement for the SNDR parameter, which is 2.27 times faster than the conventional method.

Key Words: SAR Analog to digital converters, Calibration, Comparator, Capacitive DAC, DNL error, Correlation.

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering
M.Sc. Thesis

Calibration of DAC Capacitors Mismatch and Comparator Offset in SAR Analog-to Digital Converters

By
Alireza Ahrar

Supervisor
Dr. Mohammad Yavari

Fall 2021