Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Opamp-Less Low Power Pipeline Analog-to-Digital Converters

By:
Seyed Ali Shafti

Under supervision of:
Dr. Mohammad Yavari

February 2013

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه‌ی کارشناسی ارشد
(گرایش میکروالکترونیک)

مبدل های آنالوگ به دیجیتال توان پایین با معماری Pipeline بدون استفاده از تقویت‌کننده‌ی عملیاتی

نگارش:
سید علی شفتی

استاد راهنما:
دکتر محمد یاوری

بهمن‌ماه ۱۳۹۱

با سپاس از پدر و مادر عزیزم که در تمامی مراحل این سفر،

حمایت و راهنمایی ایشان همراهم بوده است. بدون شما هیچم.

تشکر و قدردانی:

با سپاس از استاد بزرگوارم جناب آقای دکتر محمد یاوری برای همه‌ی حمایت ایشان. همچنین از از دوستان عزیزم، آقایان توحید موسی‌زاده، حسین پاک‌نیت، امیرحسین انصاری، رضا اینانلو، محسن شاقاسمی و خانم نجمه حاج‌امینی، برای همیاری و همراهی تشکر می‌کنم.

چکیده

مبدل‌های آنالوگ به دیجیتال با معماری *Pipeline* از محبوب‌ترین مبدل‌ها برای سیستم‌های نرخ نایکوئیست می‌باشند. این مبدل‌ها برای محدوده‌ی سرعت و دقت میانی مناسب می‌باشند و لذا برای کاربردهای مختلفی از جمله سیستم‌های مخابراتی و تصویربرداری استفاده می‌شوند. در طرح‌های جدید علاوه بر نیاز روزافزون به پهنای باند بیشتر، معیارهایی چون توان مصرفی کمتر و سازگاری با تکنولوژی‌های نانومتری نیز اهمیت زیادی پیدا کرده‌اند. این موضوع به دلیل افزایش تقاضا برای دستگاه‌های الکترونیکی قابل حمل وابسته به باتری و همچنین تلاش‌ها برای پیاده‌سازی ساختارهای سیستم در تراشه[1] (*SOC*) می‌باشد.

از بخش‌های اصلی یک مبدل آنالوگ به دیجیتال *Pipeline*، تقویت‌کننده‌ی عملیاتی می‌باشد که نقش تقویت سیگنال باقیمانده را به عهده دارد. این تقویت‌کننده در طبقات اول باید شرایط نویز، سرعت و خطینگی سختی را برآورده کند و معمولاً عامل اصلی مصرف توان می‌باشد. به علاوه با پیشرفت تکنولوژی‌های نانومتری و کاهش ولتاژ منابع تغذیه و بهره‌ی ذاتی[2] افزاره[3]ها، پیاده‌سازی این بخش از مدار روز به روز سخت‌تر می‌شود.

در این پایان‌نامه به بررسی روش‌های حذف تقویت‌کننده‌ی عملیاتی از ساختار مبدل‌های آنالوگ به دیجیتال *Pipeline*، به منظور کاهش توان مصرفی و افزایش سازگاری با تکنولوژی‌های نانومتری، پرداخته شده است. برای این منظور ابتدا بهترین روش‌های مطرح شده در این زمینه توصیف شده اند. سپس تکنیکی جدید برای بهبود عملکرد یکی از این روش‌ها پیشنهاد شده است. در این تکنیک، منابع جریان شارژکننده‌ی خازن‌ها به صورت منابع جریان کنترل‌شونده با ولتاژ[4] پیاده‌سازی شده‌اند تا خازن‌های نمونه‌بردار را بر اساس سیگنال خطای طبقه‌ی پیشین آنها شارژ کنند. با استفاده از این تکنیک علاوه بر کاهش توان مصرفی، دقت خروجی طبقات افزایش می‌یابد. بلوک کنترل جریان که برای اعمال این تکنیک لازم می‌باشد بین طبقات متوالی به اشتراک گذاشته شده است تا توان مصرفی و سطح تراشه‌ی لازم کاهش یابد.

تکنیک پیشنهادی به یک ساختار مبدل آنالوگ به دیجیتال *Pipeline* با دقت ۱۰ بیت و نرخ نمونه‌برداری 100 MS/s اعمال شده است. این مبدل در تکنولوژی 90 nm CMOS و با منبع تغذیه‌ی 1 V پیاده‌سازی شده است. شبیه‌سازی مداری در *Cadence* انجام گردیده است. نتایج این شبیه‌سازی نشان می‌دهد که تکنیک جدید، *SNDR* مبدل را به 53.8 dB می‌رساند در حالی که توان مصرفی فقط 3.56 mW می‌باشد که مبین معیار شایستگی[5] *(FOM)* برابر 89 fJ/conv.step می‌باشد.

[1] *System On Chip*
[2] *Intrinsic gain*
[3] *Device*
[4] *Voltage-controlled current source (VCCS)*
[5] *Figure Of Merit*

فهرست مطالب

چکیده.....الف

فهرست مطالب.....ب

فهرست شکل‌ها.....ه

فهرست جدول‌ها.....ز

فصل اول: مقدمه.....۱

۱-۱ انگیزه.....۱

۱-۲ هدف پایان‌نامه.....۲

۱-۳ ساختار پایان‌نامه.....۲

فصل دوم: مبدل‌های آنالوگ به دیجیتال.....۴

۲-۱ ساختار مبدل‌های آنالوگ به دیجیتال.....۴

۲-۱-۱ فیلتر آنتی‌الیاسینگ.....۵

۲-۱-۲ مدار نمونه‌بردار.....۵

۲-۱-۳ کوانتایزر.....۶

۲-۱-۴ فیلتر دیجیتال.....۶

۲-۲ معیارهای عملکرد مبدل‌های آنالوگ به دیجیتال.....۶

۲-۳ انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست.....۷

۲-۳-۱ مبدل آنالوگ به دیجیتال *Flash*.....۸

۲-۳-۲ مبدل آنالوگ به دیجیتال *Two-Step*.....۸

۲-۴ مبدل‌های آنالوگ به دیجیتال *Pipeline*.....۹

۲-۴-۱ اساس مبدل‌های آنالوگ به دیجیتال *Pipeline*.....۹

۲-۴-۲ بررسی اجزای مبدل *Pipeline*.....۱۱

۲-۴-۲-۱ مدار نمونه‌بردار.....۱۱

۲-۴-۲-۲ مدار *MDAC* ۱۲
۲-۴-۲-۳ زیرمبدل آنالوگ به دیجیتال ۱۲
۲-۴-۳ ملاحظات لازم در طراحی طبقات مبدل *Pipeline* ۱۳
۲-۴-۳-۱ تطبیق خازن‌ها ۱۳
۲-۴-۳-۲ نویز حرارتی ۱۳
۲-۴-۳-۳ آفست مقایسه‌گرها ۱۴
۲-۴-۳-۴ ثبات مقایسه‌گرها ۱۴
فصل سوم: مروری بر روش‌های حذف تقویت‌کننده‌ی عملیاتی ۱۵
۳-۱ تکنیک تقویت حلقه‌باز ۱۶
۳-۲ تکنیک پمپ بار ۱۹
۳-۳ تکنیک مدار *CBSC* ۲۱
۳-۴ تکنیک *ZCBC* ۲۳
فصل چهارم: روش‌های پیشنهادی ۲۶
۴-۱ رفتار جریانی ساختار *ZCBC* ۲۶
۴-۲ طرح پیشنهادی اول ۲۹
۴-۲-۱ اصول طرح پیشنهادی اول ۳۰
۴-۲-۲ پیاده‌سازی طرح پیشنهادی اول ۳۴
۴-۳ طرح پیشنهادی دوم ۳۱
۴-۳-۱ اصول طرح پیشنهادی دوم ۳۱
۴-۳-۲ پیاده‌سازی طرح پیشنهادی دوم ۳۲
۴-۴ طرح پیشنهادی سوم ۳۴
۴-۴-۱ اصول طرح پیشنهادی سوم ۳۴
۴-۴-۲ پیاده‌سازی طرح پیشنهادی سوم ۳۵
۴-۵ طراحی مدار ۳۷

۴-۵-۱ هسته‌ی اصلی مدار ۳۷
۴-۵-۲ طراحی زیرمبدل‌ها ۳۹
۴-۵-۲-۱ طراحی مقایسه‌گر ۴۰
۴-۵-۲-۲ طراحی کدگشا و تسهیم‌کننده ۴۰
۴-۵-۳ به اشتراک گذاشتن بلوک کنترل جریان ۴۲
۴-۵-۴ طراحی سوئیچ‌ها ۴۴
فصل پنجم: نتایج شبیه‌سازی ۴۷
۵-۱ شبیه‌سازی اجزای سازنده‌ی مبدل ۴۸
۵-۱-۱ *MDAC* ۴۸
۵-۱-۲ زیرمبدل ۵۰
۵-۲ تحلیل نویز ۵۲
۵-۳ عملکرد مبدل کامل ۵۴
۵-۴ تحلیل و مقایسه‌ی نتایج ۵۸
۵-۵ نتیجه‌گیری ۶۰
۵-۶ پیشنهادات ۶۰
مراجع ۶۲
واژه‌نامه ۶۷

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال..... ۵

شکل (۲-۲): ساده ترین روش پیاده سازی نمونه برداری *Track & Hold*..... ۵

شکل (۲-۳): منحنی انتقال کوانتایزر n بیتی..... ۶

شکل (۲-۴): ساختار مبدل *Flash*..... ۸

شکل (۲-۵): ساختار مبدل *Two-Step*..... ۹

شکل (۲-۶): ساختار مبدل *Pipeline*..... ۹

شکل (۲-۷): ساختار یک طبقه‌ی مبدل *Pipeline*..... ۱۰

شکل (۲-۸): مدار نمونه بردار. الف: توزیع بار – ب: چرخش به دور..... ۱۱

شکل (۲-۹): مدار *MDAC* با بهره ی ۲ – الف: *CNFA* – ب: *CFA*..... ۱۲

شکل (۳-۱): ساختار حلقه باز مطرح شده در [21] ۱۸

شکل (۳-۲): ساختار پمپ بار مطرح شده در [24] ۱۹

شکل (۳-۳): ساختارسیستمی تکنیک پمپ بار جریانی مطرح شده در [25] ۲۰

شکل (۳-۴): عملکرد ساختار سنتی تقویت‌کننده‌ی عملیاتی در فاز انتقال بار..... ۲۱

شکل (۳-۵): عملکرد ساختار *CBSC* در فاز انتقال بار..... ۲۲

شکل (۳-۶): ساختار ساده‌ی طرح *ZCBC* [31] ۲۴

شکل (۳-۷): شکل موج‌های مربوط به شکل (۳-۶) ۲۵

شکل (۴-۱): ساختار نهایی دو طبقه‌ی متوالی *Pipeline* با تکنیک *ZCBC* [31] ۲۷

شکل (۴-۲): رفتار ولتاژی *ZCBC* ۲۸

شکل (۴-۳): ساختار دو طبقه‌ی متوالی *Pipeline* با اعمال روش پیشنهادی اول..... ۳۱

شکل (۴-۴): مقایسه‌ی رفتار جریانی و ولتاژی طرح اصلی *ZCBC* و طرح پیشنهادی دوم..... ۳۲

شکل (۴-۵): منبع جریان کنترل شونده با ولتاژ استفاده شده در طرح پیشنهادی دوم..... ۳۳

شکل (۴-۶): ساختار دو طبقه‌ی متوالی *Pipeline* با اعمال روش پیشنهادی دوم..... ۳۳

شکل (۴-۷): مقایسه‌ی رفتار جریانی و ولتاژی طرح اصلی *ZCBC* و طرح پیشنهادی سوم..... ۳۴

شکل (۴-۸): منبع جریان کنترل شونده با ولتاژ استفاده شده در طرح پیشنهادی سوم..... ۳۵
شکل (۴-۹): بلوک کنترل جریان..... ۳۶
شکل (۴-۱۰): ساختار دو طبقه‌ی متوالی از طرح اصلی این پایان‌نامه ۳۷
شکل (۴-۱۱): فازهای استفاده شده در مدار شکل (۴-۱۰) ۳۸
شکل (۴-۱۲): طراحی سوئیچ‌های استفاده شده در بهینه‌سازی منابع جریان..... ۳۸
شکل (۴-۱۳): طراحی سوئیچ‌های استفاده شده در طبقه‌ی اول و آخر..... ۳۹
شکل (۴-۱۴): نحوه‌ی پیاده‌سازی مقایسه‌گر در طرح پیشنهادی..... ۴۰
شکل (۴-۱۵): نحوه‌ی پیاده‌سازی کدگشاها برای طبقات معمولی و طبقه‌ی آخر..... ۴۱
شکل (۴-۱۶): نحوه‌ی پیاده‌سازی *NOT* و *NAND*..... ۴۲
شکل (۴-۱۷): نحوه‌ی به اشتراک‌گذاری بلوک‌های کنترل جریان..... ۴۳
شکل (۴-۱۸): نحوه‌ی اعمال سیگنال کنترل جریان به طبقات مبدل..... ۴۳
شکل (۴-۱۹): مدار بوت استرپ سوئیچ..... ۴۴
شکل (۴-۲۰): پیاده‌سازی عملی سوئیچ بوت استرپ که با فاز ϕ_1 بسته است..... ۴۵
شکل (۵-۱): پاسخ پله ی *MDAC* – الف: رفتار جریان، ب: رفتار خروجی..... ۴۹
شکل (۵-۲): طیف خروجی تقویت کننده برای ورودی سینوسی..... ۴۹
شکل (۵-۳): نتایج تست *Overdrive* برای مقایسه گر – الف: ورودی اعمال شده ب: خروجی و فاز..... ۵۱
شکل (۵-۴): طیف خروجی مبدل پیشنهادی در شرایط *TT* و ۲۷درجه‌ی سانتیگراد..... ۵۴
شکل (۵-۵): تغییرات *SNDR* بر حسب فرکانس ورودی..... ۵۵
شکل (۵-۶): تغییرات *SFDR* بر حسب فرکانس ورودی..... ۵۵
شکل (۵-۷): شبیه‌سازی *DNL* مبدل..... ۵۵
شکل (۵-۸): شبیه‌سازی *INL* مبدل..... ۵۶
شکل (۵-۹): طیف خروجی مبدل پیشنهادی در شرایط *FF* و ۴۰- درجه‌ی سانتیگراد..... ۵۶
شکل (۵-۱۰): طیف خروجی مبدل پیشنهادی در شرایط *SS* و ۸۰ درجه‌ی سانتیگراد..... ۵۷

فهرست جدول‌ها

جدول (۴-۱): سیگنال‌های کنترلی و خروجی زیرمبدل در طبقات ۱/۵ بیتی..... ۴۱
جدول (۴-۲): سیگنال‌های کنترلی و خروجی زیرمبدل در طبقه *Flash*..... ۴۳
جدول (۴-۳): سیگنال‌های کنترلی لازم برای منابع جریان طبقات مبدل..... ۴۳
جدول (۴-۴): ابعاد ترانزیستورهای ساختار بوت‌استرپ..... ۴۶
جدول (۵-۱): ابعاد ترانزیستورهای هسته ی اصلی *MDAC*..... ۴۸
جدول (۵-۲): ابعاد ترانزیستورهای بلوک کنترل جریان..... ۴۸
جدول (۵-۳): ظرفیت خازن‌های استفاده شده در طبقات متوالی..... ۴۸
جدول (۵-۴): ابعاد ترانزیستور های مقایسه گر دینامیک..... ۵۰
جدول (۵-۵): ابعاد گیت های *NAND* و *NOT*..... ۵۰
جدول (۵-۶): رفتار زمانی مقایسه گر..... ۵۰
جدول (۵-۷): نویز شات ناشی از منابع جریان طبقات مختلف..... ۵۳
جدول (۵-۸): نتایج مبدل طراحی شده در این پایان‌نامه..... ۵۷
جدول (۵-۹): مقایسه‌ی نتایج مبدل طراحی شده در این پایان‌نامه با سایر مراجع..... ۵۹

مراجع

[1] F. Maloberti, *Data Converters*, Springer-Verlag, Dordrecht, The Netherlands, 2007.

[2] B. Razavi, *Principles of data conversion system design*, IEEE Press, Piscataway, NJ 1995.

[3] M. Yavari, *Data Converters*, class notes, Amirkabir University of Technology, Spring 2008.

[4] Maxim-IC, *Understanding Pipelined ADCs,* Application note 1023, Oct. 2001.

[5] L. Sumanen, *Pipeline analog-to-digital converters for wide-band wireless communications*, Ph.D. Dissertation, Helsinki Univ. of Technology, 2002.

[6] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8V 22-mW 10-bit 30-MS/s subsampling Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 321–329, Feb. 2008.

[7] J. Li, *Accuracy enhancement techniques in low-voltage high-speed pipelined ADC*, Ph.D Dissertation, Oregon State Univ., 2003.

[8] R. Lotfi, M. Taherzadeh, M.Y. Azizi, and O. Shoaei, "A low power design methodology for high-resolution pipelined analog-to-digital converters," in *Proc. of the 2003 International Symposium on Low Power Electronics and Design*, ISLPED, pp. 334-339, Aug. 2003.

[9] Y. Chiu, *Analysis and design of pipeline analog-to-digital converters*, Springer-Verlag, NY, 2010.

[10] A.-J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout, "Analog circuits in ultra-deep-submicron CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132–143, Jan. 2005.

[11] J. M. Rabaey, F. D. Bernardinis, A. M. Niknejad, B. Nikolic, and A. Sangiovanni-Vincentelli, "Embedding mixed-signal design in systems-on-chip," in *Proc. of the IEEE*, vol. 94, no. 6, pp. 1070–1088, Jun. 2006.

[12] Yen-Chuan Huang and Tai-Cheng Lee, "A 10-bit 100-MS/s 4.5-mW Pipelined ADC With a Time-Sharing Technique," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 6, pp. 1157-1166, Jun. 2011.

[13] T. Moosazadeh Hamzekandi, *Design and Simulation of a Low Power High Resolution Pipelined Analog-to-Digital Converter in 90-nm CMOS*, M.Sc. Thesis, Amirkabir University of Technology, 2010.

[14] S. Ryu, B. Song, and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with opamp current reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475– 485, Mar. 2007.

[15] D. W. Cline and P. R. Gray, "A power optimized 13-b 5 Msamples/s pipelined analog to- digital converter in 1.2μm CMOS," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 294–303, Mar. 1996.

[16] S. H. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 39, no. 8, pp. 516–523, Aug. 1992.

[17] J. Goes, J. C. Vital, and J. E. Franca, "Systematic design for optimization of high-speed self-calibrated pipelined A/D converters," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, no. 12, pp. 1513–1526, Dec. 1998.

[18] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126–2138, Dec. 2004.

[19] A. N. Karanicolas, H.-S. Lee, and K. L. Bacrania, "A 15-b 1-MSample/s digitally self-calibrated pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 1207–1215, Dec. 1993.

[20] B. Murmann and B. E. Boser, *Digitally Assisted Pipeline ADCs: Theory and Implementation*, Kluwer Academic Publishers, NY, 2004.

[21] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040–2050, Dec. 2003.

[22] W. Yang, D. Kelly, I. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1931–1936, Dec. 2001.

[23] E. Iroaga and B. Murmann, "A 12-bit 75-MS/s pipelined ADC using incomplete settling," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 748–756, Apr. 2007.

[24] I. Ahmed, J. Mulder, and D. A. Johns, "A Low-Power Capacitive Charge Pump Based Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 5, pp. 1016-1027, May 2010.

[25] J. Shen and P. R. Kinget, "Current-Charge-Pump Residue Amplification for Ultra-Low-Power Pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 58, no. 7, pp. 412-416, Jul. 2011.

[26] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H.-S. Lee, "Comparator-based switched-capacitor circuits for scaled CMOS technologies," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2658–2668, Dec. 2006.

[27] J. K. Fiorenza, *A Comparator-Based Switched-Capacitor Pipelined Analog-to-Digital Converter*, Ph.D. Dissertation, Massachusetts Institute of Technology, MA, USA, 2007.

[28] T. C. Sepke, *Comparator Design and Analysis for Comparator-Based Switched-Capacitor Circuits*, Ph.D Dissertation, Massachusetts Institute of Technology, MA, USA, 2006.

[29] K.-F. Wong, S.-W. Sin, S.-P. U, and R.P. Martins, "A Modified Charging Algorithm for Comparator-Based Switched-Capacitor Circuits," in *Proc. of the 52nd IEEE International Midwest Symposium on Circuits and Systems*, MWSCAS, pp. 86-89, Aug. 2009.

[30] X. Tang, C.-T. Ko, and K.-P. Pun, "A charge-pump and comparator-based power-efficient pipelined ADC technique," *Microelectronics Journal,* vol. 43, no. 3, pp 182–188, Mar. 2012.

[31] L. Brooks and H.-S. Lee, "A zero-crossing-based 8b 200MS/s pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2677–2687, Dec. 2007.

[32] L.G. Brooks, *Circuits and Algorithms for Pipelined ADCs in Scaled CMOS Technologies*, Ph.D. Dissertation, Massachusetts Institute of Technology, 2008.

[33] J. Chu and H.-S. Lee, "A 450 MS/s 10-bit Time-Interleaved Zero-Crossing Based ADC," in *Proc. of the 2011 IEEE Custom Integrated Circuits Conference*, CICC, pp. 1-4, Sep. 2011.

[34] Benjamin Hershberg, Skyler Weaver, and Un-Ku Moon, "Design of a Split-CLS Pipelined ADC With Full Signal Swing Using an Accurate But Fractional Signal Swing Opamp," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2623–2633, Dec. 2010.

[35] H.-Y. Lee, "Zero-crossing-based 8-bit 100 MS/s Pipelined Analogue-To-Digital Converter with offset compensation," *IET Circuits, Devices and Systems*, vol 5, no. 5, pp 411-417, Mar. 2011.

[36] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, “CMOS dynamic comparators for pipeline A/D converters,” in *Proc. of the IEEE Intl. Symposium on Circuits and Systems,* ISCAS, vol. 5, pp. 157-160. 2002.

[37] M. Dessouky and A. Kaiser, “Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping,” *IEEE J. Solid-Sate Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[38] T. Sepke, P. Holloway, C. G. Sodini, and H.-S. Lee, “Noise Analysis for Comparator-Based Circuits,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 3, pp. 541-553, Mar. 2009.

[39] Maxim-IC, *Histogram testing determines DNL and INL errors*, Application note 2085, Jun. 2003.

[40] Y. Chai and J.-T. Wu, “A 5.37mW 10b 200MS/s Dual-Path Pipelined ADC,” *2012* in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, ISSCC, pp. 462-463, Feb. 2012.

[41] B. Hershberg, S. Weaver, K. Sobue, S. Takeuchi, K. Hamashita, and Un-Ku Moon, "Ring Amplifiers for Switched-Capacitor Circuits,” in *2012 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, ISSCC, pp. 460-461, Feb. 2012.

[42] Jayanth Kuppambatti and Peter R. Kinget, “A 450 MS/s 10-bit Time-Interleaved Zero-Crossing Based ADC,” in *Proc. of the 2011 IEEE Custom Integrated Circuits Conference*, CICC, pp. 1-4, Sep. 2012.

[43] S. Lee, A. P. Chandrakasan, and H.-S. Lee, “A 12 b 5-to-50 MS/s 0.5-to-1 V Voltage Scalable Zero-Crossing Based Pipelined ADC,” *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1603-1614, Jul. 2012.

[44] M. K. Hati and T. K. Bhattacharyya, “A 55-mW 300MS/s 8-bit CMOS Parallel Pipeline ADC,” in *Proc. of the 2012 25th International Conference on VLSI Design,* VLSID, pp. 45-50, Jan. 2012.

[45] Xiaoke Wen, Rui Wang, Siyu Yang, Lei Chen, and Jinghong Chen, “A 30mW 10b 250MS/s Dual Channel SHA-Less Pipeline ADC in 0.18μm CMOS,” in *Proc. of the 2012 IEEE 55th International Midwest Symposium on Circuits and Systems,* MWSCAS, pp. 1004-1007, Aug. 2012.

[46] H. Balasubramaniam and K. Hofmann, “Design of Digitally Assisted 1.5b/stage Pipeline ADCs Using Fully Differential Current Conveyors,” in *Proc. of the 2011 20th European Conference on Circuit Theory and Design*, ECCTD, pp. 873-876, Aug. 2012.

[47] Jen Chao, Chung-Lun Hsu, Bin-Da Liu, Chun-Yueh Huang, and Soon-Jyh Chang, “A 9-bit 50 MS/s CBSC Pipelined ADC Using Time-Shifted Correlated Double Sampling,” in *Proc. of the 2011 IEEE 54th International Midwest Symposium on Circuits and Systems,* MWSCAS, pp. 1-4, Aug. 2011.

[48] Ji-Eun Jang, “Comparator-Based Switched-Capacitor Pipelined ADC with Background Offset Calibration,” in *Proc. of the 2011 IEEE International Symposium on Circuits and Systems*, ISCAS, pp. 253-256, May 2011.

[49] H. Balasubramaniam and K. Hofmann, “A Novel 8 bit Open Loop Residue Amplifier based Pipeline ADC using a Single Fully Differential Current Conveyor and Foreground Calibration,” in *Proc. of the 2011 IEEE 54th International Midwest Symposium on Circuits and Systems*, MWSCAS, pp. 1-4, Aug. 2011.

[50] M. Hashemi, M. Sharifkhani, and M. Gholami, “A Low Power 1-V 10-bit 40-MS/s Pipeline ADC,” in *Proc. of the 2011 18th IEEE International Conference on Electronics, Circuits and Systems*, ICECS, pp. 212-215, Dec. 2011.

[51] M. Miyahara, H. Lee, D. Paik, and A. Matsuzawa, “A 10b 320 MS/s 40 mW Open-Loop Interpolated Pipeline ADC,” in *Proc. of the 2011 Symposium on VLSI Circuits*, VLSIC, pp. 126-127, Jun. 2011.

[52] I-Hsin Wang, Hwei-Yu Lee, and Shen-Iuan Liu, “An 8-bit 20-MS/s ZCBC Time-Domain Analog-to-Digital Data Converter,” *IEEE Transactions On Circuits And Systems—II: Express Briefs*, vol. 56, no. 7, pp. 545-549, Jul. 2009.

واژه‌نامه

Analog to Digital Converter (ADC)	مبدل آنالوگ به دیجیتال
Anti-aliasing filter	فیلتر آنتی‌الیاسینگ
Aperture error	خطای روزنه‌ای
Binary weighted	با وزن‌دهی باینری
Bit decision flip-flop	فلیپ فلاپ تشخیص بیت
Calibration	کالیبراسیون
Charge pump	پمپ بار
Common Mode Feedback (CMFB)	فیدبک مد مشترک
Common Mode Rejection Ratio (CMRR)	نسبت حذف مد مشترک
Decoder	کدگشا
Device	افزاره
Differential pair	زوج تفاضلی
Digital background calibration	کالیبراسیون پس‌زمینه‌ی دیجیتال
Digital correction	تصحیح دیجیتال
Digital post-processor	پس پردازشگر دیجیتال
Digital Signal Processor (DSP)	پردازشگر سیگنال دیجیتال
Effective Number Of Bits (ENOB)	تعداد بیت موثر
Encoder	کدکننده
Figure Of Merit (FOM)	معیار شایستگی
Flip around	چرخش به دور
Folding	تا شدن
Force	تحمیل
Gain boosting	افزایش بهره

General purpose	کاربرد عمومی
Headroom	سقف ولتاژ
Incomplete settling	نشست ناقص
Integrated Circuits	مدارهای مجتمع
Intrinsic gain	بهره‌ی ذاتی
Inverted	معکوس
Latency	تاخیر
Leakage	نشت
Least Significant Bit (LSB)	کم ارزش‌ترین بیت
Metastability	ثبات
Mismatch	عدم تطبیق
Multiplexer	تسهیم‌کننده
Nyquist rate	نرخ نایکوئیست
Off-chip	خارج از تراشه
Open loop	حلقه باز
Operational Amplifier	تقویت‌کننده‌ی عملیاتی
Operational Transconductance Amplifier (OTA)	تقویت‌کننده‌ی هدایت انتقالی
Overload	بیش‌بارشدگی
Oversampling	بیش نمونه‌بردار
Overshoot	فراجهش
Power Supply Rejection Ratio (PSRR)	نسبت حذف نویز منبع تغذیه
Preamplifier	پیش‌تقویت‌کننده
Preset	پیش‌تعیین
Processor	پردازشگر
Quantizer	کوانتایزر

Ramp	سطح شیب‌دار
Replica	معادل
Residue	باقیمانده
Resolution	قدرت تفکیک‌پذیری
Sample and hold	نمونه‌بردار-نگه‌دار
Sampling circuit	مدار نمونه‌برداری
Sampling frequency	فرکانس نمونه‌برداری
Scaling	مقیاس کردن
Single ended	تک خروجی
Slew rate	نرخ چرخش
Source follower	دنبال‌کننده‌ی سورس
Stress	فشار
Subconverter	زیرمبدل
System-On-Chip (SOC)	سیستم در تراشه
Thermal code	کد حرارتی
Thermal noise	نویز حرارتی
Transconductance	هدایت انتقالی
Transition band	باندگذر
Voltage Controlled Current Source (VCCS)	منبع جریان کنترل شونده با ولتاژ
Voltage Controlled Delay Line (VCDL)	خط تاخیر وابسته به ولتاژ
Zero-Crossing Detector (ZCD)	تشخیص‌دهنده‌ی عبور از صفر

Abstract:

Pipeline Analog-to-Digital Converters (ADCs) are one of the most popular Nyquist rate ADC structures. Such ADCs are suitable for medium speed and accuracy range and are therefore useful in many applications such as communications and imaging systems. In recent designs, in addition to the increasing bandwidth requirements, lower power consumption and compatibility with nanometer scale technology nodes are of importance. This is due to the increasing demand for handheld electronic devices which rely on batteries, as well as efforts to implement System-on-Chip designs.

A main part of a Pipeline ADC, is the operational amplifier used to amplify the residue signal. In the first stages, the amplifier has to fulfill difficult noise, speed and linearity conditions. The amplifier is usually the main power consumer. Implementing the operational amplifier is more difficult in recent technology nodes due to lower voltage headroom and intrinsic device gain.

In this thesis, methods to remove the operational amplifier from the Pipeline ADC architecture, in order to reduce power consumption, are investigated. In order to do this, the most successful methods in this regard are explored. A new charging technique is proposed to improve one such method. In this technique, the charging current sources are implemented as voltage-controlled current sources in order to charge the sampling capacitors based on the error signal, effectively reducing power consumption and increasing accuracy. The necessary current control block is shared between consecutive stages further reducing power consumption and area.

The proposed technique is applied to a 10-bit 100 MS/s pipeline ADC designed in a 90 nm CMOS technology with 1 V power supply. Circuit level simulation results with Cadence show SNDR of 53.8 dB with 3.56 mW power consumption. The ADC achieves an FOM of 89 fJ/conv.step without calibration.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Opamp-Less Low Power Pipeline Analog-to-Digital Converters

By:
Seyed Ali Shafti

Under supervision of:
Dr. Mohammad Yavari

February 2013