Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Master of Science Thesis

Title

Low Phase-Noise CMOS Voltage-Controlled Oscillators

By:
Abbas Esmaeili

Supervisor:
Dr. Mohammad Yavari

February 2016

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد

گرایش الکترونیک

عنوان:

اسیلاتورهای کنترل شونده با ولتاژ CMOS با نویز فاز پایین

نگارش:

عباس اسماعیلی

استاد راهنما:

دکتر محمد یاوری

بهمن ماه ۹۴

بسم الله الرحمن الرحيم

به نام خدا

تعهدنامه اصالت اثر

تاریخ:۱۳۹۴/۱۱/۱۳

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

اینجانب عباس اسماعیلی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

عباس اسماعیلی

امضا

تقدیم به آنان که عاشقانه و بی‌هیچ چشم داشتی در راه رشد و بالندگی‌ام کوشیدند

به پدر و مادر بزرگوارم

و به خواهر و برادر عزیزم

برای حضور پر مهر و امید بخششان

اکنون که به توفیق الهی این دوره را به پایان رساندم پیش از همه لازم می‌بینم که از خانواده عزیزم که حمایت‌ها و الطافشان یاری بخش راهم بود تشکر نمایم. به علاوه از استاد راهنمای گرامی دکتر یاوری که مسیر علم و دانش و روش تحقیق را به من آموختند و راهنمایی‌هایشان راه‌گشای مسیر این پایان نامه بود کمال تشکر و قدردانی را می‌نمایم.

چکیده

با توجه به پیشرفت روزافزون تکنولوژی، شبکه‌های ارتباط بی‌سیم نیز همانند بسیاری از تکنولوژی‌ها شاهد پیشرفت‌های چشمگیری بوده است. به موازات این پیشرفت‌ها تعداد کاربران متقاضی استفاده از این تکنولوژی نیز روز به روز در حال افزایش است. با توجه به پهنای باند محدود، در این کاربردها نیاز است تا این سیستم‌ها به صورت بهینه از این منبع استفاده کنند. از آنجایی که نوسان‌سازها جز لاینفک سیستم‌های مخابراتی را تشکیل داده و میزان استفاده موثر از پهنای باند به طور مستقیم با نویز فاز این بخش در ارتباط است، لذا در این پایان‌نامه سعی شده تا ساختاری معرفی گردد که این پارامتر را با کمترین میزان تاثیر بر روی سایر پارامترهای نوسان‌ساز کاهش دهد.

در این پایان‌نامه ساختار جدیدی پیشنهاد گردیده است که در آن با استفاده از یک رزوناتور اضافی امکان ایجاد بهره متفاوت برای جریان در هارمونیک اصلی و نویز تزریق شده به تانک ایجاد شده و به این ترتیب کاهش نویز فاز ممکن گردیده است. در ادامه برای کاهش نویز فاز نزدیک از دو روش تغییر شرایط بایاس و استفاده از مقاومت در سورس ترانزیستورهای تزویج استفاده شده است. با استفاده از این دو روش میزان تبدیل نویز فلیکر به نویز فاز نزدیک کاهش می‌یابد. به این ترتیب جذابیت استفاده از این طرح در حلقه‌های قفل‌فاز و سنتزکننده‌های فرکانسی افزایش یافته است. ساختار معرفی شده در تکنولوژی ۹۰ نانومتر CMOS و با استفاده از نرم‌افزار Cadence شبیه‌سازی شده است. ساختار با شرایط بایاس تعیین شده دارای نویز فاز ۱۳۰ dBc/Hz- در آفست ۱ مگا هرتز و ۸۸/۲ dBc/Hz- در آفست ۱۰ کیلو هرتز است و توان مصرفی آن در این شرایط در حدود ۱۶/۷ میلی وات است که معیار شایستگی ۱۹۱/۵ dB در آفست ۱ مگا هرتز و ۱۸۹/۷ dB در آفست ۱۰ کیلو هرتز را حاصل می‌کند. ساختار با مقاومت سورس نیز دارای نویز فاز ۱۲۸ dBc/Hz- در آفست ۱ مگا هرتز و ۸۷/۹ dBc/Hz- در آفست ۱۰ کیلو هرتز است و توان مصرفی آن در این شرایط در حدود ۲۵ میلی وات است به این ترتیب معیار شایستگی ۱۸۹ dB در آفست ۱ مگا هرتز و ۱۸۸/۹ dB در آفست ۱۰ کیلو هرتز حاصل می‌شود. معیار شایستگی بدست آمده در مقایسه با تعدادی از به‌روزترین و بهترین ساختارها در شرایط خوبی قرار دارد.

واژه‌های کلیدی:

نوسان‌ساز کنترل شونده با ولتاژ، نویز فاز، نویز فلیکر، تانک LC، تکنولوژی ۹۰ نانومتر CMOS.

فهرست مطالب **صفحه**

فصل اول مقدمه ۱
۱-۱- انگیزه ۱
۱-۲- کارهای انجام شده ۲
۱-۳- ساختار پایان‌نامه ۳
فصل دوم کلیات نوسان‌سازها ۴
۲-۱- معرفی بلوک نوسان‌ساز ۴
۲-۱-۱- فیدبک مثبت در نوسان‌سازها ۴
۲-۱-۲- بخش فعال به عنوان مقاومت منفی ۵
۲-۲- تعیین فرکانس در نوسان‌سازها ۶
۲-۳- پارامترهای مهم در ارزیابی نوسان‌سازهای کنترل‌شونده با ولتاژ ۷
۲-۳-۱- توان مصرفی ۷
۲-۳-۲- محدوده تنظیم فرکانس ۸
۲-۳-۳- خطی بودن ۸
۲-۳-۴- عدم حساسیت به نویز تغذیه و القایی ۸
۲-۳-۵- تمیزی سیگنال خروجی ۹
۲-۳-۵-۱- جیتر ۹
۲-۳-۵-۲- نویز فاز ۹
۲-۴- نویز فاز و تابع حساسیت ضربه ۱۱
فصل سوم مروری بر ساختارهای موجود ۱۶
۳-۱- ساختارهای مختلف نوسان‌سازها ۱۶
۳-۱-۱- نوسان‌سازهای کلپیتس و هارتلی ۱۷
۳-۱-۲- نوسان‌ساز تزویج ضربدری ۱۸
۳-۲- بررسی چند ساختار معرفی شده در مقالات ۱۹
۳-۲-۱- تکنیک فیلتر کردن نویز ترانزیستور Tail ۱۹
۳-۲-۲- روش فیدبک فرکانس پایین برای کاهش نویزفاز ناشی از نویز فلیکر ۲۲
۳-۲-۳- نوسان‌ساز کنترل‌شونده با ولتاژ با حذف نویز ۲۴
۳-۲-۴- نوسان‌ساز کلاس C ۲۶
۳-۲-۵- نوسان‌ساز کلاس C با بایاس دینامیکی ۲۹
۳-۲-۶- نوسان‌ساز کلاس F ۳۰
۳-۲-۷- نوسان‌ساز کلاس F2 ..... ۳۳
۳-۲-۸- نوسان‌ساز چندهسته‌ای کلاس C ۳۵
۳-۲-۹- کاهش نویزفاز نزدیک با بهبود روش بایاس سوئیچینگ ۳۸

۳-۲-۱۰- کاهش نویز فاز با بکارگیری تابع حساسیت ضربه ۴۰
۳-۲-۱۱- نوسان‌ساز کلاس C با سوئینگ بالا ۴۲

فصل چهارم ساختار VCO پیشنهادی ۴۴
۴-۱- کاهش نویز فاز با کاهش تابع حساسیت ضربه ۴۴
۴-۲- نویز فلیکر و پدیده انتقال به فرکانس بالا ۵۵
۴-۳- روش پیشنهادی برای کاهش نویزفاز نزدیک ۵۷
۴-۴- شماتیک مدار پیشنهادی ۶۴
۴-۵- سوئینگ خروجی در مدار پیشنهادی ۶۵
۴-۶- حلقه قفل فاز و مزایای کاهش نویز فاز نزدیک ۶۶
۴-۷- استفاده از بانک خازنی برای محدوده تنظیم ۶۹
۴-۸- نوسان‌ساز کنترل شونده با ولتاژ و خازن ورکتور ۷۱

فصل پنجم نتایج شبیه‌سازی، نتیجه‌گیری و ارائه پیشنهادات ۷۴
۵-۱- نوسان‌ساز پیشنهادی با ولتاژ درین کاهش یافته ۷۴
۵-۲- نتایج شبیه‌سازی ساختار با ولتاژ درین کاهش یافته ۷۶
۵-۳- نوسان‌ساز پیشنهادی با مقاومت سورس ۸۱
۵-۴- نتایج شبیه‌سازی ساختار با مقاومت سورس ۸۳
۵-۵- جانمایی ساختار پیشنهادی ۸۸
۵-۶- مقایسه ساختار پیشنهادی با سایر ساختارها ۹۱
۵-۷- نتیجه‌گیری ۹۳
۵-۸- ارائه پیشنهادات ۹۴

پیوست الف محاسبات مربوط به مدار تانک ۹۵

پیوست ب مدار بایاس دینامیک ۹۷

مراجع ۱۰۰

صفحه

فهرست شکل‌ها

شکل (۲-۱): ساختار فیدبک در مدار نوسان‌ساز..... ۵
شکل (۲-۲): مقاومت منفی در ساختار نوسان‌ساز..... ۶
شکل (۲-۳): پایداری دامنه نوسان در نوسان‌سازها..... ۶
شکل (۲-۴): استفاده از عنصر فرکانس‌گزین برای تعیین فرکانس..... ۷
شکل (۲-۵): نحوه محاسبه نویزفاز..... ۱۰
شکل (۲-۶): نواحی مختلف در طیف نویزفاز..... ۱۱
شکل (۲-۷): تاثیر متفاوت نویز ورودی بر روی فاز نوسان با توجه به طبیعت متغیر با زمان نوسان‌ساز [۳]..... ۱۳
شکل (۳-۱): روش تبدیل ترانزیستور به مقاومت منفی در نوسان‌ساز هارتلی و کلپیتس..... ۱۷
شکل (۳-۲): (الف) نوسان‌ساز هارتلی، (ب) نوسان‌ساز کلپیتس..... ۱۸
شکل (۳-۳): نوسان‌ساز تزویج ضربدری..... ۱۹
شکل (۳-۴): (الف) فیلتر کردن نویز ترانزیستور Tail با قرار دادن خازن برای حذف نویز، (ب) اضافه کردن سلف برای افزایش امپدانس [۴]..... ۲۱
شکل (۳-۵): (الف) فیلتر کردن نویز ترانزیستور Tail با بایاس از بالا، (ب) ساختار ارائه شده با حذف ترانزیستور Tail[۴]..... ۲۲
شکل (۳-۶): بلوک دیاگرام ساختار کاهش دهنده نویزفاز[۵]..... ۲۳
شکل (۳-۷): تحقق مداری ساختار ارائه شده در مرجع [۵] برای کاهش نویزفاز ناشی از نویز فلیکر[۵]..... ۲۴
شکل (۳-۸): ساختار فیدبکی پیشنهادی برای حذف نویز ترانزیستور Tail[۷]..... ۲۶
شکل (۳-۹): (الف) پیاده‌سازی مداری نوسان‌ساز کلاس C با کوپلینگ ترانسفورمری(ب) کوپلینگ خازنی [۸]. ۲۸
شکل (۳-۱۰): تاثیر ورود ترانزیستورهای تزویج ضربدری به ناحیه ترایود در نوسان‌ساز کلاس C [۸]..... ۲۹
شکل (۳-۱۱): نوسان‌ساز کلاس C با بایاس دینامیک (الف) با ترانزیستور Tail (ب) با مقاومت Tail [۹]..... ۳۱
شکل (۳-۱۲): نوسان‌ساز کلاس F (الف) با تزویج مستقیم (ب) با تزویج ترانسفورمری [۱۱]..... ۳۲
شکل (۳-۱۳): طرح کلی اضافه کردن هارمونیک سوم به مولفه اصلی در نوسان‌ساز کلاس F2 [۱۲]..... ۳۴
شکل (۳-۱۴): ساختار کلی نوسان‌ساز کلاس F2 [۱۲]..... ۳۵
شکل (۳-۱۵): ساختار هریک از نوسان‌سازهای استفاده شده در مرجع[۱۳]..... ۳۶
شکل (۳-۱۶): ساختار کامل متشکل از دو نوسان‌ساز [۱۳]..... ۳۷
شکل (۳-۱۷): تاثیر افزایش تعداد نوسان‌سازهای موازی شده بر روی نویز فاز نهایی [۱۳]..... ۳۸
شکل (۳-۱۸): نوسان‌ساز با با بایاس سوئیچینگ بهبود یافته [۱۴]..... ۳۸
شکل (۳-۱۹): شرایط مختلف برای نویز و سیگنال با توجه به مقادیر خازن و مقاومت ترانزیستورها [۱۴]..... ۳۹
شکل (۳-۲۰): نتایج شبیه‌سازی برای نوسان‌ساز با بایاس سویچینگ بهبود یافته [۱۴]..... ۴۰
شکل (۳-۲۱): شماتیک نوسانساز با نویزفاز پایین با بکارگیری تابع حساسیت به ضربه [۱۷]..... ۴۱
شکل (۳-۲۲): نتایج شبیه‌سازی برای نوسان‌ساز با نویزفاز پایین با بکارگیری تابع حساسیت به ضربه [۱۷]..... ۴۲
شکل(۳-۲۳): ساختار ارائه شده در مرجع [۱۸]..... ۴۳

شکل (۳-۲۴): نویز فاز بر حسب جریان مصرفی (الف) ساختار مرسوم (ب) ساختار ارائه شده در مرجع [۱۸]. ۴۳
شکل (۴-۱): استفاده از تقویت کننده برای افزایش دامنه ۴۵
شکل (۴-۲): نیم‌مدار رسم شده برای بررسی مقدار تابع حساسیت به ضربه ۴۷
شکل (۴-۳): انتقال نویز تقویت‌کننده به مدار تانک و افزایش نویز فاز ۴۷
شکل (۴-۴): تاثیر تاخیر در حلقه نوسان ۴۸
شکل (۴-۵): استفاده از ترانس در مدار تانک ۴۹
شکل (۴-۶): مدار معادل ترانس غیر ایده‌آل ۵۰
شکل (۴-۷): ساختار مدار مقسم خازنی ۵۱
شکل (۴-۸): مدار معادل مقسم خازنی ۵۱
شکل (۴-۹): مدار تانک پیشنهادی ۵۲
شکل (۴-۱۰): نمودار مکان ریشه برای ساختار پیشنهادی ۵۴
شکل (۴-۱۱): مکانیزم انتقال نویز به نویزفاز [۳] ۵۵
شکل (۴-۱۲): تابع حساسیت به ضربه برای یک نوسان‌ساز مرسوم [۳] ۵۶
شکل (۴-۱۳): استفاده از خازن بین گره‌های خروجی برای کاهش نویزفاز نزدیک ۶۰
شکل (۴-۱۴): مدار ساده شده نوسان‌ساز تزویج ضربدری با مدار تانک پیشنهادی بدون در نظر گرفتن تاخیر. ۶۲
شکل (۴-۱۵): شماتیک مدار پیشنهادی (الف) با ولتاژ درین کاهش یافته،(ب) با مقاومت سورس ۶۴
شکل (۴-۱۶): ساختار ساده حلقه قفل فاز ۶۶
شکل (۴-۱۷): ساختار بلوک دیاگرامی ساده برای حلقه قفل فاز ۶۷
شکل (۴-۱۸): مدل کردن نویزفاز در حلقه قفل فاز ۶۸
شکل (۴-۱۹): بانک خازنی برای افزایش محدوده تنظیم نوسان‌ساز ۷۰
شکل (۴-۲۰): خازن ترانزیستوری به عنوان خازن متغیر ۷۱
شکل (۴-۲۱): خازن ورکتور در مود وارونگی ۷۲
شکل (۴-۲۲): خازن ورکتور در مود انباشتگی ۷۲
شکل (۵-۱): ولتاژ خروجی در شرایط شروع نوسان برای ساختار با ولتاژ درین کاهش یافته ۷۷
شکل (۵-۲): ولتاژ درین و گیت ترانزیستور در ساختار با ولتاژ درین کاهش یافته در حالت پایدار ۷۸
شکل (۵-۳): محدوده تنظیم فرکانسی برای ساختار با ولتاژ درین کاهش یافته ۷۹
شکل (۵-۴): مقایسه نویز فاز در ساختار با ولتاژ درین کاهش یافته و ساختار مرسوم ۸۰
شکل (۵-۵): نویز فاز ساختار با ولتاژ درین کاهش یافته در گوشه‌های دما و فرآیند ساخت ۸۱
شکل (۵-۶): ولتاژ خروجی در شرایط شروع نوسان برای ساختار با مقاومت سورس ۸۴
شکل (۵-۷): نتایج شبیه‌سازی گذرا برای ساختار با مقاومت سورس و امکان دستیابی به سوئینگ ولتاژ کامل در گیت ترانزیستورهای تزویج ضربدری ۸۵
شکل (۵-۸): محدوده تنظیم فرکانسی برای ساختار با مقاومت سورس ۸۶
شکل (۵-۹): مقایسه نویز فاز در ساختار با مقاومت سورس و ساختار مرسوم ۸۷

شکل (۵-۱۰): نویز فاز ساختار با مقاومت سورس در گوشه‌های دما و فرآیند ساخت..... ۸۸
شکل (۵-۱۱): جانمایی مدار پیشنهادی..... ۹۰

صفحه

فهرست جدول‌ها

جدول (۴-۱): نویز فاز ساختار پیشنهادی با مقاومت سورس در گوشه‌های مختلف دما و تکنولوژی..... ۶۳
جدول (۵-۱): ابعاد المان‌های مدار تانک در ساختار با ولتاژ درین کاهش یافته..... ۷۵
جدول (۵-۲): ابعاد المان‌های بانک خازنی در ساختار با ولتاژ درین کاهش یافته..... ۷۶
جدول (۵-۳): ابعاد المان‌های مدار تانک در ساختار با مقاومت سورس..... ۸۲
جدول (۵-۴): ابعاد المان‌های بانک خازنی در ساختار با مقاومت سورس..... ۸۳
جدول (۵-۵): نتایج شبیه‌سازی بعد از جانمایی..... ۹۱
جدول (۵-۶): مقایسه ساختار پیشنهادی با تعدادی از ساختارهای موجود..... ۹۲

واژه نامه

الف

انباشتگی	Accumulation
ایزولاسیون	Isolation
آشکارساز فاز	Phase Detector

ب

باند کناری	Side Band

پ

پلی سیلیکن زائد	Dummy Poly-Silicon

ت

تزویج ضربدری	Cross Coupled
تمام رنج	Full Scale
تنظیم دقیق	Fine Tuning
تنظیم کلی	Coarse Tuning

ح

حلقه قفل‌فاز	Phase Locked Loop
حلقه محافظ	Guard Ring

خ

خازن MOS	Mosfet Capacitor

س

سلف حلزونی	Spiral Inductor
سنتزکننده فرکانسی	Frequency Synthesizer
شبیه‌سازی گذرا	Transient Simulation

ش

شبیه‌سازی متناوب حالت ماندگار	Periodic Steady State Simulation
شبیه‌سازی متناوب نویز	Periodic Noise (PNoise) Simulation
شرایط بارک هوزن	Barkhausen's Criteria

ض

ضریب کیفیت	Quality Factor

ع

عبور از صفر	Zero Crossing

ف

خازن فلز-عایق-فلز	Metal Insulator Metal Capacitor

ق

قابلیت اطمینان	Reliability

ک

کلپیتس	Colpitts

م

محدوده تنظیم فرکانس	Frequency Tuning Range
معیار شایستگی	Figure of merit

ن

نوسان‌ساز	Oscillator
نوسان‌ساز کنترل‌شونده با ولتاژ	Voltage Controlled Oscillator
نویز فاز	Phase Noise

ه

هدایت انتقالی	Transconductance
هشت‌ضلعی	Octagonal

و

وارونگی قوی	Strong Inversion
ورکتورهای MOS مود انباشتگی	Inversion Mode MOS Varactor
ورکتورهای MOS مود وارونگی	Accumulation Mode MOS Varactor

مراجع

[1] B. Razavi, *Design of analog CMOS integrated circuits*, McGraw-Hill, 2001.

[2] B. Razavi, *RF microelectronics*, Prentice Hall, 1998.

[3] A. Hajimiri and T. H. Lee, *The design of low noise oscillators*. Springer Science & Business Media, 1999.

[4] E. Hegazi, H. Sjoland, and A. A. Abidi, "A filtering technique to lower LC oscillator phase noise," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1921–1930, Dec. 2001.

[5] Y. Lin, K. H. To, 1. S. Hamel, and W. M. Huang, "Fully integrated 50Hz CMOS VCOs with on chip low frequency feedback circuit for I/f induced phase noise suppression," *Proc. ESSCIRC*, pp.551-554, Sep. 2002.

[6] A. Jerng and C. G. Sodini, "The impact of device type and sizing on phase noise mechanisms," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 360–369, Feb. 2005.

[7] C. H. Heng, A. Bansa, and Y. Zheng "Design of 1.94-GHz CMOS noise-cancellation VCO," *IEEE Trans. Microw. Theory Tech*.", vol. 59, no. 2, pp.368-374, 2011.

[8] A. Mazzanti and P. Andreani "Class-C harmonic CMOS VCOs, with a general result on phase noise," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp.2716 -2729, 2008.

[9] L. Fanori and P. Andreani, "Highly efficient class-C CMOS VCOs, including a comparison with class-B VCOs," *IEEE J. Solid-State Circuits*," vol. 48, no. 7, pp. 1730–1740, Jul. 2013.

[10] L. Fanori, A. Liscidini, and P. Andreani "A 6.7-to-9.2 GHz 55 nm CMOShybrid class-B/Class-C cellular TX VCO," *IEEE ISSCC Dig. Tech. Papers*, pp.354-356, 2012.

[11] M. Babaie and R. B. Staszewski, "A class-F CMOS oscillator," *IEEE J. Solid-State Circuits*, vol. 48, no. 12, pp. 3120–3133, Dec. 2013.

[12] M. Babaie and R. B. Staszewski "An Ultra-Low Phase Noise Class-F2 CMOS Oscillator With 191 dBc/Hz FoM and Long-Term Reliability," *IEEE J. Solid-State Circuits*, vol. 50, no. 3, pp.679 -692, 2015.

[13] M. Tohidian, S. A. R. A. Mehr, and R. B. Staszewski, "Dual-core highswing class-C oscillator with ultra-low phase noise," *in Proc. IEEE Radio Frequency Integr. Circuits Symp*. , pp. 243–246, 2013.

[14] N. Chen, S. Diao, L. Huang, and F. Lin, "Reduction of 1/f 3 phase noise in LC oscillator with improved self-switched biasing," *Analog Integrated Circuits and Signal Processing*, pp.1-9, 2015.

[15] E. A. M. Klumperink , S. L. J. Gierkink , A. P. van der Wel and B. Nauta "Reducing MOSFET 1/f noise and power consumptionby switching biasing," *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp.994 -1001, 2000.

[16] N. Chen, L. Huang, C. Wang, Y. Yan, and F. Lin, "Low Phase Noise and Linear Gain VCO using Self-Switched Biasing," *IEEE Radio-Frequency Integration Technology*, pp. 137-140, Dec. 2011.

[17] A. Mostajeran, M. S. Bakhtiar, and E. Afshari, "A 2.4 GHz VCO with FOM of 190dBc/Hz at 10kHz-to-2MHz offset frequencies in 0.13µm CMOS using an ISF manipulation technique," *IEEE ISSCC Dig. Tech. Papers*, pp. 1-3, Feb. 2015

[18] F. Ataei and M. Yavari, "A 2.2GHz high-swing class-C VCO with wide tuning range," *IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2011.

[19] D. B. Leeson, "A simple model of feedback oscillator noises spectrum," *Proc. IEEE*, vol. 54, pp. 329–330, Feb. 1966.

[20] A. Hajimiri and T.H. Lee "A general theory of phase noise in electrical oscillators," *IEEE J. Solid-State Circuits*, vol. 33, pp.179-194, 1998.

[۲۱] م. ح. نشاطی، "تحلیل و طراحی مدارهای مخابراتی"، انتشارات نص، ۱۳۸۹.

[۲۲] ع. عبدی‌پور، "مدارهای مخابراتی(تحلیل غیرخطی، طراحی و شبیه‌سازی)"، انتشارات نص، ۱۳۹۲.

[23] Z. Celik and T. Y. Hsiang, "Study of 1/f noise in N-MOSFET's: linear region. Electron Devices," *IEEE Trans. Electron Devices*, vol. 32, pp.2797, 1985.

[24] S. M. Silva, B. M. Lopes, B. J. C. Filho, R. P. Campana, and W. C. Bosventura "Performance evaluation of PLL algorithms for single-phase grid-connected systems," Proc. IEEE 39th IAS Annu. Meet. Conf. Record Ind. Appl. Conf., vol. 4, pp.2259 -2263, 2004.

[25] M. Shahmohammadi, M. Babaie, and R. Staszewski "A 1/f noise upconversion reduction technique applied to Class-D and Class-F oscillators," *Proc. IEEE Int. Solid-State Circuits Conf.*, pp.1 -3, 2015.

[26] F. Ataei and M. Yavari, "A wideband dual-mode VCO with analog and digital automatic amplitude control circuitry," *Iranian Electrical Engineering (ICEE), 2011 19th Conf.*, pp. 1-6, May. 2011.

[27] P. Andreani "A Comparison between Two 1.8GHz CMOS VCOs Tuned by Different Varactors," *Proc. of the 24th European Solid-State Circuits Conference (ESSCIRC)*, pp.380 -383, 1998.

[28] D. Leblebici and Y. Leblebici, *Fundamentals of high-frequency CMOS analog integrated circuits*, Cambridge University Press, 2009.

[29] T. Soorapanth, C. P. Yue, D. K. Shaeffer, T. H. Lee, and S. S. Wong, "Analysis and optimization of accumulation-mode varactor for RF Ics," *Symp. VLSI Technol*., pp.32-33, 1998.

[30] R. Castello, P. Erratico, S. Manzini, and F. Svelto, "A ±30% tuning range varactor compatible with future scaled technologies," *Symp. VLSI Technol*., pp. 34 -35, 1998.

[31] E. Hegazi and A. Abidi "Varactor characteristics, oscillator tuning curves, and AM-FM conversion," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp.1033 -1039, 2003.

[32] M. E. A. Taghivand "A 3.24-to-8.45ghz low-phase-noise mode-switching oscillator," *IEEE ISSCC Dig. Tech. Papers*, pp.368 -369, 2014.

[33] L. Fanori, A. Liscidini, and P. Andreani, "A 6.7-to-9.2 GHz 55 nm CMOShybrid class-B/Class-C cellular TX VCO," *IEEE ISSCC Dig. Tech. Papers*, pp.354 -356, 2012.

[34] F. Zhao and F. Dai "A 0.6 V quadrature VCO with enhanced swing and optimized capacitive coupling for phase noise reduction," *IEEE Trans. Circuits Syst. I*, vol. 59, no. 8, pp.1694 -1705 2012.

[35] T. W. Brown, F. Farhabakhshian, A. G. Roy, T. S. Fiez, and K. Mayaram, "A 475 mV, 4.9 GHz Enhanced Swing Differential Colpitts VCO With Phase Noise of -136 dBc/Hz at a 3 MHz Offset Frequency," *IEEE J. Solid-State Circuits*, vol. 46, no. 8, pp.1782 -1795, 2011.

[36] G. Huang and B. S. Kim, "Low phase noise self-switched biasing CMOS LC quadrature VCO," *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 2, pp.344-351, 2009

[37] F. Pepe, A. Bonfanti, S. Levantino, C. Samori, and A. L. Lacaita, "Analysis and minimization offlicker noise up-conversion in voltage-biased oscillators," *IEEE Trans. Microw. Theory Tech*., vol. 61, no. 6, pp.2382-2394, 2013.

[38] J. Jung, P. Upadyaya, P. Liu, and D. Heo, "Compact sub-1mW low phase noise CMOS LC-VCO based on power reduction technique," *IEEE MTT-S International Microwave Symposium Digest*, pp. 1-4, 2011.

[39] H. Tong, "An LC quadrature VCOusing capacitive source degeneration coupling to eliminate bi-modal oscillation," *IEEETrans. Circuits Syst. I, Reg. Paper*, vol. 59, no. 9, pp.1871-1879, 2012.

[40] X. Yang, Y. Uchida, K. Xu, W. Wang, and T. Yoshimasu, "2.4 GHz-band ultra-low-voltage class-C LC-VCO IC in 65 nm CMOS technology," *Microwave Conference Proceedings (APMC)*, pp. 325-327, Nov 2013.

Abstract

Due to the increasing development of technology, wireless communication networks, as well as many other technologies have been improved. In parallel with these developments, applicant's users of this technology are growing day by day. Due to the limited bandwidth, the applications need to use these systems from the source optimally. Since oscillators have formed an integral part of telecommunication systems, and the efficient use of bandwidth directly connected with the phase noise of this sector, so in this thesis is tried to introduce a structure to reduce this parameter with the minimum impact on other parameters of oscillator.

In this thesis, a new structure is proposed where using an additional resonator provides differential gains for current in the main harmonic and produces injected noise to the tank and cause the reduction of phase noise. For reduction of close-in phase noise two methods such as change bias condition and use of source resistors in coupled transistors are used which is used to reduce the conversion of flicker noise to close-in phase noise. So, the attractiveness of this idea in phase locked loop and frequency synthesizer has increased. The proposed structure is simulated by using 90 nm CMOS technology. The simulation results show the phase noise of -130dBc/Hz in 1MHz offset and phase noise of -88.2dBc/Hz in 100 kHz offset. The power consumption is 16.7 mW. Also the simulation results show the FOM of 191.5 and 189.7 in 1MHz and 100 kHz offset respectively. The phase noise of this structure with source resistor is -128dBc/Hz and -87.9dBc/Hz in 1MHz and 100 kHz offset respectively. In this situation the power consumption is 25mW. The FOM of this structure is 189 and 188.9 in 1MHz and 100 kHz offset respectively.

The obtained FOM compared with the number of best structures is in good condition.

Key Words: Voltage Controlled Oscillator, Phase Noise, Flicker Noise, LC Tank, 90 nm CMOS Technology

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Master of Science Thesis

Title

Low Phase-Noise CMOS Voltage-Controlled Oscillators

By:
Abbas Esmaeili

Supervisor:
Dr. Mohammad Yavari

February 2016