طراحی مدولاتورهای سیگما- دلتا با سرعت بالا و ولتاژ بسیار پایین

محمد یاوری
دانشجوی دکتری گروه مهندسی برق و کامپیوتر- دانشکده فنی- دانشگاه تهران
امید شعاعی
دانشیار گروه مهندسی برق و کامپیوتر- دانشکده فنی- دانشگاه تهران
(تاریخ دریافت ۸۲/۶/۲۹، تاریخ دریافت روایت اصلاح شده ۸۲/۱۲/۱۶، تاریخ تصویب ۸۲/۱۲/۲۳)

چکیده

امروزه پایین آوردن ولتاژ منبع تغذیه مدارهای دیجیتال جهت کاهش توان مصرفی و همچنین پیاده‌سازی سیستم‌های عملی در داخل یک تراشه مورد نظر می‌باشند. با توجه به آنالوگ بودن اکثر سیگنال‌های عملی نیاز به ساخت مبدل‌های آنالوگ به دیجیتال در داخل یک تراشه توام با مدارهای دیجیتال در ولتاژهای پایین ضروری است. از طرفی در اکثر کاربردهای مخابرات باسیم و بدون سیم نیاز به مبدل‌های آنالوگ به دیجیتال سریع و با دقت بالا می‌باشد. مدولاتورهای سیگما- دلتا جهت کاربردهای دقت بالا و همچنین سرعت‌های متوسط کارآیی چشمگیری از خود نشان می‌دهند. در این مقاله، طراحی این نوع مدولاتورها در سرعت‌های بالا و ولتاژ بسیار پایین و همچنین دقت بالا مورد بررسی قرار خواهند گرفت. یک نوع مدولاتور با ساختار جدید برای کاربردهای سرعت بالا و ولتاژ پایین معرفی خواهد شد. نحوه طراحی ساختار این نوع مدولاتورها به تفصیل مورد بررسی قرار می‌گیرد. یک تقویت‌کننده عملیاتی جدید برای پیاده‌سازی مدولاتور معرفی شده، پیشنهاد خواهد شد. نحوه طراحی سایر مدارهای لازم برای پیاده‌سازی مدولاتور در سطح مداری مورد بحث قرار می‌گیرند. مدولاتور مرتبه چهارم طراحی شده با نرخ نایکوئیست خروجی ۲/۵ مگاهرتز و دقت ۱۵ بیت در ولتاژ منبع تغذیه ۱/۲ ولت با نرم‌افزار HSPICE شبیه‌سازی شده است. مقدار SNDR ماکزیمم و محدوده دینامیکی آن در شبیه‌سازی مداری با در نظر گرفتن کلیه نویزهای مداری به ترتیب برابر با ۹۰ و ۹۲/۵ دسیبل هستند. توان مصرفی آن در حدود ۴۰ میلی‌وات است.

واژه‌های کلیدی: مبدل‌های سیگما- دلتا، مدارهای آنالوگ، تقویت‌کننده‌های عملیاتی، کونتایزرهای چند بیتی، خطی‌سازی DAC، مقایسه‌گرهای CMOS

مقدمه

امروزه طراحی و ساخت مبدل‌های آنالوگ به دیجیتال با عملکرد بالا در ولتاژهای پایین توام با مدارهای دیجیتال در داخل یک تراشه برای پیاده‌سازی یک سیستم کامل مورد نظر می‌باشند. انگیزه‌های اصلی پایین آوردن ولتاژ منبع تغذیه در مدارهای Mixed-Signal به صورت زیر هستند: ۱- کاهش تعداد باتری‌های سیستم که منجر به کاهش وزن آن می‌گردد. ۲- کاهش ابعاد در تکنولوژی‌های جدید مدارهای مجتمع. برای ثابت نگهداشتن میدان الکتریکی بایستی ولتاژ منبع تغذیه نیز کاهش داده شود. ۳- کاهش توان مصرفی به منظور استفاده بهینه از آن بویژه در سیستم‌های مخابرات سیار که نیاز به استفاده از باتری و شارژ مجدد آن را دارند. در مدارهای دیجیتال، کاهش ولتاژ منبع تغذیه منجر به کاهش توان مصرفی می‌گردد، ولی کاهش منبع تغذیه در مدارهای آنالوگ می‌تواند باعث افزایش توان مصرفی نیز گردد. بنابراین در مدارهای آنالوگ ارائه ساختارهای جدید چه در سطح سیستمی و چه در سطح مداری برای کاهش توان مصرفی ضروری می‌باشند.

مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه برداری می‌توان به دو دسته عمده تقسیم بندی کرد: ۱) مبدل‌های با نرخ نایکوئیست و ۲) مبدل‌های بیش نمونه برداری[1]. مبدل‌های نرخ نایکوئیست با حداقل نرخ نمونه‌برداری که همان نرخ نایکوئیست است، کار می‌کنند. از جمله این مبدل‌ها می‌توان به ساختارهای Flash، Pipeline ، Folding & Interpolating و SAR اشاره کرد. این نوع مبدل‌ها برای کاربردهای سرعت بالا و دقت‌های

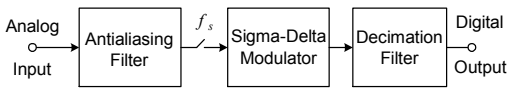
پایین و متوسط مناسب هستند. ولی در دقت‌های بالا بدلیل خصوصیات غیر ایده‌آلی مدارهای آنالوگ ساخت این نوع مبدل‌ها امکان پذیر نیست. در مبدل‌های بیش نمونه برداری سیگنال ورودی با چندین برابر نرخ نایکوئیست نمونه‌برداری می‌شود. مبدل‌های سیگما- دلتا که دسته‌ای از مبدل‌های بیش نمونه برداری هستند، با استفاده از تکنیک شکل دادن نویز کوانتیزاسیون دقت بالایی را بدست می‌دهند. همچنین این نوع مبدل‌ها در مقایسه با مبدل‌های نوع اول نسبت به اثرات غیر ایده‌آلی مدارهای آنالوگ مقاوم هستند، ولی در مقابل بدلیل نمونه‌برداری با نرخ بالاتر، سرعت پایین‌تری را دارا هستند. مبدل‌های سیگما- دلتا از دو بخش مجزا تشکیل می‌شوند. قسمت اول شامل مدولاتور سیگما- دلتا است که به صورت آنالوگ پیاده‌سازی می‌گردد. بخش دوم فیلترهای Decimation است که پیاده‌سازی آن به صورت دیجیتال صورت می‌گیرد.

در این مقاله، طراحی مدولاتورهای سیگما- دلتا برای کاربردهای سرعت بالا در ولتاژهای بسیار پایین و دقت بالا مورد بررسی قرار می‌گیرند. ابتدا به بررسی ساختارهای موجود پرداخته می‌شود. یک ساختار جدید که در ولتاژهای پایین کارآیی خوبی از خود نشان می‌دهد، معرفی می‌شود. طراحی و شبیه‌سازی مدولاتور پیشنهاد شده در سطح مداری مورد بحث قرار می‌گیرد. همچنین یک تقویت‌کننده عملیاتی جدیدی جهت پیاده‌سازی مداری مدولاتور پیشنهاد می‌گردد. نتایج شبیه‌سازی‌های سیستمی و مداری نیز مورد بحث قرار می‌گیرند.

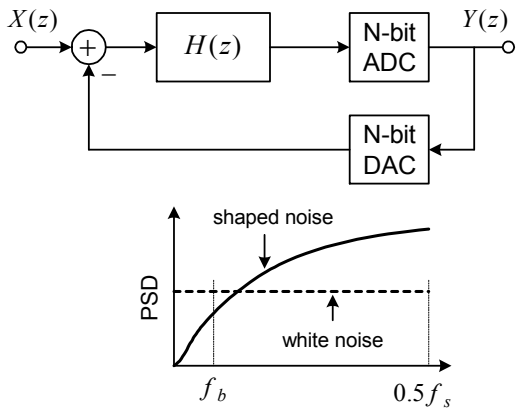
ساختار مدولاتورهای سیگما- دلتا

شکل (۱) ساختار کلی یک مبدل سیگما- دلتا را نشان می‌دهد [۱]. سیگنال آنالوگ ورودی ابتدا وارد یک فیلتر آنتی‌الیاسینگ جهت حذف سیگنال‌های خارج از باند مورد نظر و همچنین جلوگیری از تا شدن[۲] آنها بعد از عمل نمونه‌برداری به داخل پهنای باند مورد نظر می‌شود. مدولاتور سیگما- دلتا با استفاده از تکنیک بیش نمونه‌برداری و شکل دادن نویز کوانتیزاسیون، یک سیگنال با سرعت بالا و دقت پایین در خروجی مدولاتور ایجاد می‌کند که این سیگنال توسط فیلترهای Decimation به یک سیگنال دیجیتال با دقت کل مبدل و نرخ نایکوئیست تبدیل می‌شود. ساختار کلی مدولاتورهای سیگما- دلتا را می‌توان به صورت شکل (۲) نشان داد. همانطوریکه دیده می‌شود در این ساختار از یک فیلتر گسسته زمانی $H(z)$، یک کوانتایزر و یک DAC استفاده شده است. ساختار مدولاتور به نحوی عمل می‌کند که نویز سفید کوانتایزر را به یک نویز رنگی که قسمت عمده توان آن در خارج از باند مورد نظر متمرکز شده است، تبدیل می‌کند. در این شکل f_s نرخ نمونه‌برداری و f_b پهنای باند سیگنال مورد نظر است. نسبت $\frac{f_s}{2f_b}$ به پارامتر بیش نمونه‌برداری مدولاتور موسوم است. اگر سیگنال خروجی $Y(z)$ وارد یک فیلتر پایین گذر با پهنای باند f_b شود، مقدار توان نویزی که در داخل باند سیگنال باقی خواهد ماند، بسیار کم خواهد بود. بنابراین، نسبت توان سیگنال به توان نویز که معیاری برای محاسبه دقت مبدل‌هاست، افزایش خواهد یافت. بدیهی است که دقت کوانتایزر به کار رفته می‌تواند بسیار کمتر از دقت کل مبدل سیگما- دلتا باشد. در ساده‌ترین مدولاتور سیگما- دلتا، $H(z)$ به صورت یک انتگرال‌گیر یعنی $H(z)=\frac{1}{z-1}$ است که به آن مدولاتور مرتبه اول گفته می‌شود. لازم به ذکر است که مرتبه یک مدولاتور سیگما- دلتا را تعداد انتگرال‌گیرهای موجود در آن تعیین می‌کنند.

ساختار مدولاتورهای سیگما- دلتا را می‌توان به دو دسته عمده تک حلقه‌ای[۳] و چند حلقه‌ای[۴] تقسیم‌بندی کرد. در مدولاتورهای تک حلقه‌ای از یک کوانتایزر و فیدبک منفی اصلی برای شکل‌دهی نویز کوانتیزاسیون استفاده می‌شود، در حالیکه در ساختارهای چند حلقه‌ای که به ساختارهای کسکید[۵] هم معروف هستند، چند کوانتایزر و حلقه مجزا از هم بکار برده می‌شوند. هر کدام از این ساختارها می‌توانند از یک کوانتایزر تک بیتی و یا چند بیتی استفاده کنند.



شکل ۱: ساختار یک مبدل سیگما- دلتا.

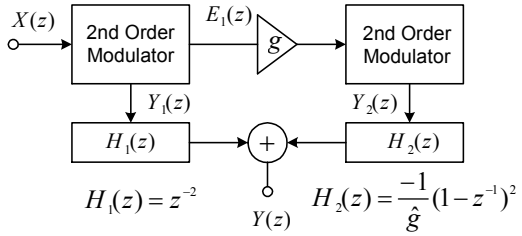


شکل ۲: ساختار کلی یک مدولاتور سیگما- دلتا.

شکل (۳) ساختار مدولاتور کسکید ۲-۲ را نشان می‌دهد. خطای کوانتیزاسیون مدولاتور طبقه اول به عنوان ورودی طبقه دوم به کار برده می‌شود. خروجی هر دو طبقه مدولاتور بعد از عبور از فیلترهای دیجیتال به نحوی با هم جمع می‌شوند که اثر نویز کوانتیزاسیون طبقه اول در خروجی مدولاتور حذف گردد. بدین ترتیب فقط اثر نویز کوانتیزاسیون طبقه دوم در خروجی مدولاتور ظاهر می‌گردد. خروجی $Y(z)$ را می‌توان به صورت زیر نوشت:

$$Y(z) = z^{-4}\,X(z) + z^{-2}(1-z^{-1})^2\,(1-\frac{g}{\hat{g}})\,E_1(z) - \frac{1}{\hat{g}}(1-z^{-1})^4\,E_2(z) \quad (۱)$$

که در آن $\hat{g}$ تخمین دیجیتال پارامتر آنالوگ g است. با توجه به رابطه بالا واضح است که نویز کوانتایزر طبقه دوم با مرتبه چهارم به سمت خارج از باند سیگنال رانده شده است. خطای کوانتیزاسیون طبقه اول، فقط در صورت وجود عدم تطبیق بین پارامتر آنالوگ g و تخمین دیجیتال آن، $\hat{g}$، در خروجی مدولاتور ظاهر خواهد شد که البته به صورت مرتبه دوم شکل دهی داده شده است. بنابراین در صورت وجود عدم تطبیق بین g و $\hat{g}$ نویز کوانتیزاسیون طبقه اول به خروجی مدولاتور نشت[۶] خواهد کرد که این امر باعث افت عملکرد مدولاتور می‌گردد. این مساله بزرگترین عیب مدولاتورهای کسکید می‌باشد.



شکل ۳: ساختار کلی یک مدولاتور کسکید ۲-۲.

علاوه بر حساس بودن مدولاتورهای کسکید به تطبیق پارامترهای آنالوگ و تخمین دیجیتال آنها، این نوع مدولاتورها نسبت به اثرات غیرایده‌آلی مدارهای آنالوگ از جمله بهره dc تقویت‌کننده‌های لازم برای پیاده‌سازی انتگرال‌گیرها بسیار حساس هستند. بهره dc محدود انتگرال‌گیرها باعث نشت نویز کوانتایزر طبقات قبلی در خروجی مدولاتور می‌گردد که منجر به افزایش سطح توان نویز در خروجی مدولاتور شده و عملکرد آن را کاهش می‌دهد. مهمترین مزیت نوع این مدولاتورها مساله پایداری آنهاست. با توجه به اینکه در هر یک از طبقات مدولاتور کسکید از مدولاتورهای مرتبه اول و دوم استفاده می‌شود و مدولاتورهای مرتبه اول و دوم همیشه پایدار هستند، بنابراین مدولاتورهای کسکید پایداری تضمین شده‌ای نسبت به مدولاتورهای تک‌حلقه‌ای بالاتر از مرتبه دوم دارند. این امر باعث می‌شود که مدولاتورهای کسکید به ازای سیگنال‌های ورودی نزدیک به دامنه سیگنال مرجع فیدبک پایدار مانده و در نتیجه سطح بیش بارشدگی بالاتری داشته باشند. لازم به ذکر است که سطح بیش بارشدگی[۷] بالا در مدولاتورهایی که دقت آنها را نویز مدار تعیین می‌کند، باعث کاهش توان مصرفی مدولاتور می‌گردد.

پیاده‌سازی مدولاتورهای کسکید بدلیل نیاز به تقویت‌کننده‌های با بهره dc بالا در ولتاژهای پایین بسیار سخت است. عملا طراحی تقویت‌کننده با بهره dc بالا در ولتاژهای پایین و سرعت‌های بالا ناممکن است. شاید بتوان گفت که در ولتاژهای پایین دیگر مدولاتورهای کسکید جایگاهی نخواهند داشت، گرچه در یک دهه اخیر عملا در اکثر کارهای صنعتی و دانشگاهی بیشترین علاقه را به خود اختصاص داده بودند [۷-۲].

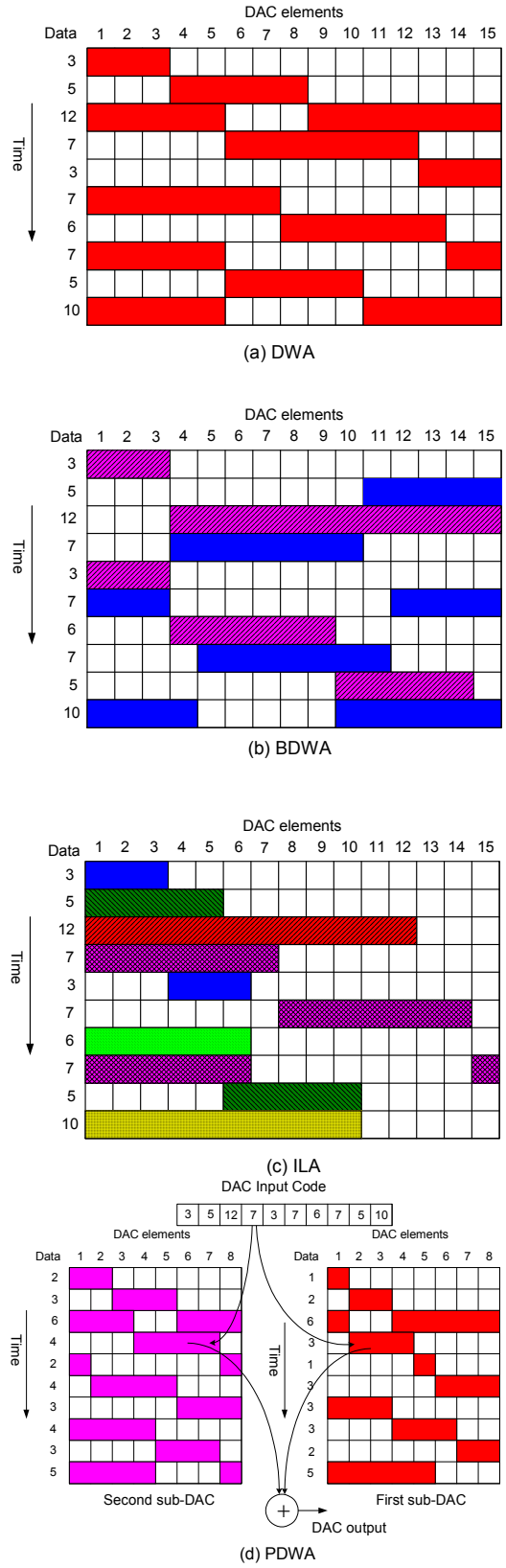
مهمترین مزیت مدولاتورهای تک‌حلقه‌ای عدم حساسیت این مدولاتورها نسبت به تطبیق و اثرات غیرایده‌آلی مدارهای آنالوگ هستند. این نوع مدولاتورها نسبت به مدولاتورهای کسکید به مدارهای آنالوگ با خصوصیات راحتری نیاز دارند. از جمله تقویت کننده با بهره dc پایین‌تری برای پیاده‌سازی انتگرال‌گیرهای مدولاتور لازم می‌باشد. این خصوصیت مدولاتورهای تک‌حلقه‌ای باعث می‌شود که در ولتاژهای پایین بیشتر مورد توجه قرار گیرند [۱۸-۸]. مهمترین عیب مدولاتورهای تک‌حلقه‌ای، استعداد درونی آنها نسبت به ناپایداری است. بدین معنی که یک مدولاتور بالاتر از مرتبه دوم تک‌حلقه‌ای بالقوه می‌تواند ناپایدار باشد. برای جلوگیری از ناپایداری لازم است که دامنه سیگنال آنالوگ ورودی به مدولاتور کاهش داده شود که این امر منجر به پایین آوردن سطح بیش بارشدگی مدولاتور شده و بالطبع آن باعث افت عملکرد مدولاتور می‌گردد. لازم به توضیح است که یک مدولاتور سیگما- دلتا زمانی پایدار است که ورودی کوانتایزر آن از یک محدوده مجاز تجاوز نکند. در مدولاتورهای تک‌حلقه‌ای بالاتر از مرتبه دوم با افزایش دامنه سیگنال ورودی بدلیل پشت سر هم قرار گرفتن انتگرال‌گیرها، ورودی کوانتایزر سریعتر افزایش یافته و باعث می‌شود که کوانتایزر در حالت بیش بارشدگی قرار گیرد. درنتیجه، حلقه فیدبک منفی مدولاتور باز شده و مدولاتور در حالت ناپایداری قرار می‌گیرد. بدیهی است که این ناپایداری به ازای سیگنال‌های ورودی بزرگتر در تمامی مدولاتورها رخ می‌دهد، ولی در مدولاتورهای تک‌حلقه‌ای با مرتبه بالا زودتر از مدولاتورهای کسکید و یا مرتبه‌های اول و دوم صورت می‌گیرد. نسبت دامنه سیگنال ورودی به دامنه سیگنال فیدبک مرجع در جایی که SNR به اندازه ۶ دسیبل از SNR ماکزیمم افت می‌کند، به فاکتور سطح بیش بارشدگی مدولاتور موسوم است [۷]. بنابراین، مدولاتورهای تک‌حلقه‌ای با مرتبه بالا دارای فاکتور سطح بیش بارشدگی پایین‌تری نسبت به مدولاتورهای کسکید می‌باشند.

هر کدام از ساختارهای تک‌حلقه‌ای و کسکید همانطوریکه در شکل (۲) نشان داده شده است، می‌توانند از یک کوانتایزر تک بیتی و یا چند بیتی استفاده کنند. استفاده از یک کوانتایزر چند بیتی باعث افزایش SNR خروجی مدولاتور می‌گردد. با افزایش دقت کوانتایزر به اندازه یک بیت، دقت کل مدولاتور تقریبا به اندازه یک بیت و مستقل از نسبت بیش نمونه‌برداری و مرتبه مدولاتور افزایش می‌یابد. مزیت عمده یک مدولاتور با DAC چند بیتی در نشست[۸] کردن تقویت کننده عملیاتی[۹] لازم برای پیاده‌سازی انتگرال‌گیرها و همچنین پایداری بهتر مدولاتور نسبت به حالت DAC تک‌بیتی است [۹]. زیرا در این حالت دامنه ماکزیمم ورودی انتگرال‌گیر بدلیل کاهش تفاوت بین سطوح ولتاژهای خروجی DAC کاهش می‌یابد، در حقیقت سیگنال دیجیتالی تخمین زده شده ورودی با افزایش تعداد بیت‌های کوانتایزر، بیشتر به سیگنال ورودی نزدیک است و این امر باعث کوچک شدن ورودی انتگرال‌گیر می‌گردد. در ضمن توان نویز کوانتیزاسیون خروجی نیز به مقدار قابل ملاحظه‌ای کاهش می‌یابد. بنابراین انتگرال‌گیر براحتی نشست می‌کند. این امر باعث کاهش توان مصرفی لازم برای طراحی انتگرال‌گیر می‌گردد. همچنین دامنه تون‌های طیفی بدلیل کاهش نویز کوانتیزاسیون، کاهش می‌یابند. مهمترین عیب مدولاتورهای چند بیتی نیاز به خطی بودن DAC چند بیتی است که بایستی به اندازه دقت کل مدولاتور خطی باشد. لازم به ذکر است که خطاهای DAC مستقیما با سیگنال ورودی مدولاتور جمع می‌شوند. بنابراین بدون هیچگونه اثر شکل‌دهی در خروجی مدولاتور ظاهر می‌شوند. روش‌های مختلفی برای خطی‌سازی DAC چند بیتی پیشنهاد شده است. از جمله این روش‌ها، استفاده از تکنیک شکل دادن خطاهای DAC و یا تصحیح آنها می‌باشند [۳۵-۱۹].

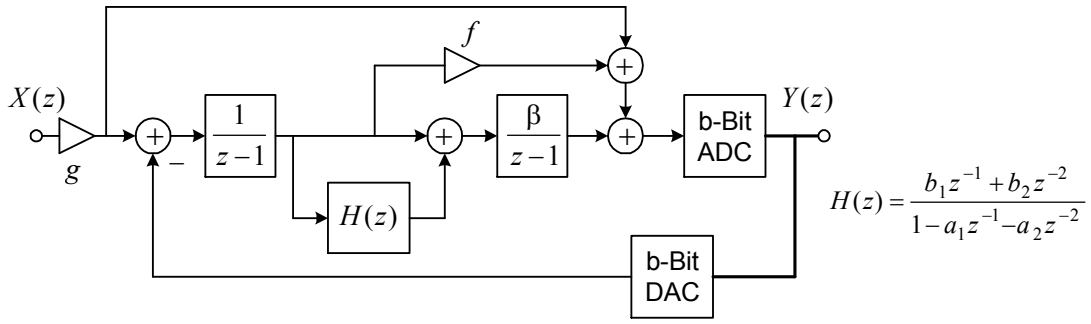
در روش Data Weighted Averaging (DWA) آرایه‌های DAC با استفاده از یک اشاره‌گر که مکان آخرین آرایه استفاده شده را نشان می‌دهد، انتخاب می‌شوند. شکل (۴) یک DAC ۴- بیتی را نشان می‌دهد که برای خطی‌سازی آن از روش DWA استفاده شده است. همانطوریکه در این شکل دیده می‌شود اگر در ابتدا اشاره‌گر در موقعیت المان اول DAC قرار داشته باشد و کد حرارتی ورودی آن برابر با سه باشد، المان‌های اول، دوم و سوم DAC انتخاب خواهند شد و اشاره‌گر در

موقعیت المان چهارم DAC قرار خواهد گرفت. در زمان بعدی با کد حرارتی ورودی پنج، المان‌های چهار تا هشت انتخاب می‌گردند و اشاره‌گر در موقعیت نهم DAC قرار می‌گیرد. این روش باعث می‌شود که خطاهای DAC با شکل‌دهی مرتبه اول به سمت فرکانس‌های خارج از باند سیگنال مورد نظر رانده شوند [۱۹]. مهمترین عیب این روش پیدایش تون‌های طیفی در طیف خروجی مدولاتور است [۲۴]. اگر یک سیگنال سینوسی با فرکانس f_0 به ورودی مدولاتور داده شود و از روش DWA برای خطی‌سازی DAC آن استفاده شود، تون‌های طیفی درفرکانس‌های $f_S \times n/(2\times OSR),\ n=1,2,\cdots$ ظاهر خواهند شد. وجود این تون‌ها باعث افت SFDR مدولاتور می‌گردد. لازم به ذکر است که پارامتر SFDR در اکثر کاربردهای مخابراتی اهمیت بیشتری از SNDR دارد. برای حذف این نوع تون‌های طیفی تصحیحاتی در روش DWA صورت گرفته است. در شکل (۴) همچنین سه روش تصحیح یافته DWA نشان داده شده‌اند. در روش Bi-Directional Data Weighted Averaging (BDWA) از دو اشاره‌گر برای انتخاب آرایه‌هایDAC استفاده می‌شود. این اشاره‌گرها به طور تناوبی در زمان‌های فرد و زوج به کار برده می‌شوند [۵]. روش Individual Level Averaging (ILA) به ازای هر کد حرارتی ورودی DAC از یک اشاره‌گر مجزا استفاده می‌کند [۲۰]. در روش Partitioned Data Weighted Averaging (PDWA) آرایه‌های DAC به دو زیر DAC با المان‌های مساوی تقسیم می‌گردند. کد حرارتی ورودی DAC بر دو تقسیم شده و به اندازه خارج قسمت آن از المان‌های زیر DAC اولی و به اندازه خارج قسمت به اضافه باقیمانده آن از المان‌های زیر DAC دومی انتخاب می‌شوند [۶]. هر کدام از این روش‌های تصحیح یافته دامنه تون‌های طیفی را کاهش می‌دهند، ولی باعث افزایش سطح نویز در خروجی مدولاتور می‌گردند.

روش‌های تصحیح خطا نیاز به اندازه‌گیری و جبران سازی خطاهای DAC دارند [۲۸-۳۵]. با توجه به اینکه یک DAC با N بیت معمولا از 2^N-1 عنصر واحد نظیر خازن، مقاومت، و یا منابع جریان تشکیل می‌یابد، بنابراین بایستی مقدار دقیق هر یک از عناصر واحد اندازه‌گیری شود. با دانستن اندازه هر یک از این عناصر



شکل ۴: روش‌های مختلف خطی‌سازی DAC چند بیتی: (a) DWA، (b) BWDA، (c) ILA و (d) PDWA.



شکل ۵: ساختار مدولاتور مرتبه چهارم تک‌حلقه‌ای پیشنهاد شده.

واحد تشکیل دهنده DAC می‌توان به تصحیح خطاهای آن پرداخت. تصحیح خطا می‌تواند در حوزه دیجیتال و یا در حوزه آنالوگ صورت گیرد. بر خلاف روش DWA، روش‌های تصحیح خطاهای DAC به صورت Background ، تقریبا تمامی خطاهای آن را حذف می‌کنند. در ضمن این روش‌ها نسبت به OSR حساس نیستند. بنابراین این نوع خطی‌سازی DAC در کاربردهای سرعت بالا که نیاز به یک OSR پایین‌تری است، کارآیی بهتری از خود نشان می‌دهد [۲۸]. مهمترین عیب روش‌های تصحیح خطا، پیچیدگی پیاده‌سازی سخت‌افزاری آنها می‌باشد.

طراحی مدولاتور در سطح سیستمی

در این مقاله بدلیل پایین بودن ولتاژ منبع تغذیه و همچنین بالا بودن سرعت مبدل از یک مدولاتور با ساختار تک‌حلقه‌ای و کوانتایزر چند بیتی استفاده شده است. شکل (۵) ساختار مدولاتور طراحی شده را که یک مدولاتور مرتبه چهارم تک‌حلقه‌ای با یک کوانتایزر ۴-بیتی است، نشان می‌دهد.

در این ساختار برای افزایش SNR از یک ساختار Hybrid استفاده شده است [۳۶]. بدین معنی که فیلتر $H(z)$ یک فیلتر با پاسخ ضربه نامحدود است. همانطوریکه گفته شد، مدولاتورهای تک‌حلقه‌ای به ازای سیگنال‌های ورودی نزدیک مرجع فیدبک ناپایدار هستند. یک روش برای تضمین پایداری استفاده از تابع تبدیل نویز با بهره کم در خارج از باند سیگنال است. لازم بذکر است که هر مدولاتور سیگما- دلتا یک تابع تبدیل نویز و یک تابع تبدیل سیگنال دارد. در حالت کلی تابع تبدیل سیگنال یک مدولاتور با مرتبه L ام، به صورت Z^{-L} و تابع تبدیل نویز آن به صورت $(1-z^{-1})^L$ است. تابع تبدیل نویز یک فیلتر بالا گذر است. برای تضمین پایداری مدولاتور از تکنیک کاهش بهره خارج از باند سیگنال تابع تبدیل نویز استفاده می‌شود. ثابت شده است که اگر این بهره کمتر از ۱/۵ باشد، مدولاتور با کوانتایزر باینری همیشه پایدار خواهد بود [۱۴]. از طرفی کاهش بهره خارج از باند سیگنال تابع تبدیل نویز منجر به کاهش SNR خروجی مدولاتور و همچنین پیدایش تون‌های طیفی می‌گردد. در ساختار پیشنهاد شده در این مقاله، مدولاتور به ازای بهره خارج از باند سیگنال تابع تبدیل نویز نزدیک به ۸ پایدار بوده و همچنین تون‌های طیفی کاملا حذف می‌گردند. این امر باعث می‌شود که این ساختار در نسبت بیش نمونه‌برداری‌های پایین با پایداری تضمین شده دقت بالاتری از خود نشان دهد. همچنین برای افزایش SNR خروجی مدولاتور و پایداری بیشتر آن از یک کوانتایزر ۴-بیتی استفاده شده است [۹].

در [۳۷] ثابت شده است که اگر تابع تبدیل سیگنال یک مدولاتور به صورت واحد باشد، هارمونیک‌های ناشی از خصوصیات غیر ایده‌آلی مدارهای آنالوگ نظیر محدود بودن بهره dc تقویت‌کننده‌ها در خروجی مدولاتور تقریبا ناچیز خواهند بود. دلیل آن این است که در این حالت سیگنال ورودی توسط انتگرال‌گیر های مدولاتور پردازش نمی‌شود و فقط نویز ناشی از کوانتیزاسیون به سمت خارج از باند سیگنال شکل داده می‌شود. در ساختار پیشنهاد شده نیز از این تکنیک برای کاهش هارمونیک‌های خروجی مدولاتور استفاده شده است. از

طرفی با توجه به اینکه فیلترهای با پاسخ ضربه نامحدود فاز خطی ندارند، واحد نبودن تابع تبدیل سیگنال می‌تواند باعث ایجاد اعوجاج فاز در سیگنال ورودی مدولاتور گردد. این مساله در اکثر کاربردها یک پدیده ناخوش‌آیندی است. بویژه اگر سیگنال ورودی ترکیبی از دو سیگنال سینوسی باشد، این امر باعث ایجاد اعوجاج هارمونیک بین این دو سیگنال خواهد شد. بنابراین واحد بودن تابع تبدیل سیگنال می‌تواند عملکرد مدولاتور را در مقابل اعوجاج ناشی از غیر خطی بودن فاز فیلترهای با پاسخ ضربه نامحدود و همچنین هارمونیک‌های ناشی از غیر ایده‌آل بودن مدارهای آنالوگ بکار رفته در پیاده‌سازی آن به مراتب بهبود بخشد.

برای بدست آوردن ضرایب مدولاتور از نرم‌افزار MATLAB و همچنین M-File های نوشته شده توسط آقای Schreier استفاده شده است [۳۸]. تابع تبدیل نویز مدولاتور را می‌توان به صورت زیر نوشت:

$$H_Q(z)=\frac{(z-1)^2(z^2-a_1z-a_2)}{z^4+d_3z^3+d_2z^2+d_1z+d_0} \qquad (۲)$$

$$\begin{cases} d_3 = -a_1+f-2 \\ d_2 = -a_2+2a_1+\beta-fa_1+1-f \\ d_1 = 2a_2-a_1-\beta a_1+\beta b_1-fa_2+fa_1 \\ d_0 = -a_2-\beta a_2+\beta b_2+fa_2 \end{cases} \qquad (۳)$$

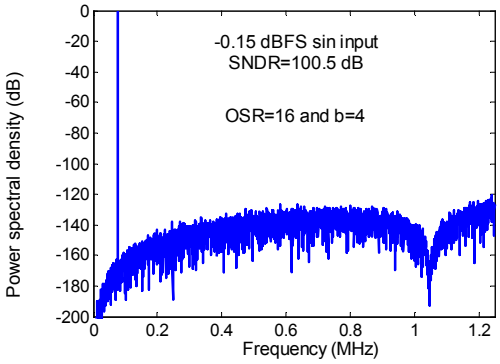
تابع تبدیل نویز بدست آمده برای $OSR=16$ و کوانتایزر ۴- بیتی در حالت SNR ماکزیمم با در نظر گرفتن محدوده پایداری مناسب به صورت زیر است:

$$H_S(z)=\frac{(z-1)^2(z^2-1.937z+1)}{z^4-1.080z^3+0.503z^2+0.035z+0.022} \qquad (۴)$$

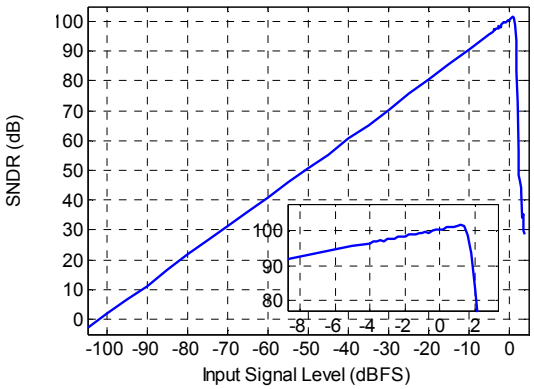
در نتیجه بعد از هم ارز قرار دادن روابط فوق، ضرایب مدولاتور به صورت زیر بدست می‌آیند:

$$a_1=1.937,\quad a_2=-1,\quad b_1=0.531,$$
$$b_2=-0.406,\quad \beta=3.184,\quad f=2.893 \qquad (۵)$$

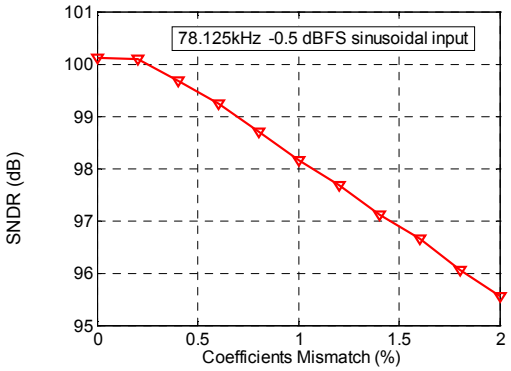
شکل (۶) طیف خروجی مدولاتور طراحی شده را نشان می‌دهد. SNDR ماکزیمم آن در حدود ۱۰۱ دسیبل و سطح بیش بارشدگی آن در حدود $+1.5\ dBFS$ می‌باشند. در شکل (۷) منحنی دینامیکی مدولاتور رسم شده است. مقدار محدوده دینامیکی[۱۰] مدولاتور طراحی شده ۱۰۲ دسیبل است. برای بررسی اینکه مدولاتور طراحی شده به ازای تغییرات ضرایب آن پایدار بوده و افت عملکرد ناچیزی از خود نشان می‌دهد، آزمایش مونت‌کارلو انجام گرفته است. در این آزمایش ضرایب مدولاتور به صورت توزیع گوسی مستقل از هم با میانگین نشان داده شده در رابطه (۵) و انحراف معیار متغیر مدل‌سازی شده‌اند. سه برابر انحراف معیار به عنوان عدم تطبیق ضرایب در نظر گرفته شده است. برای هر عدم تطبیق خاص ۲۰۰ آزمایش مونت‌کارلو انجام شده و متوسط SNDR در نظر گرفته شده است. نتیجه این آزمایش در شکل (۸) نشان داده شده است. همانطوریکه در این شکل دیده می‌شود افت عملکرد آن با ۱٪ عدم تطبیق ضرایب مدولاتور کمتر از ۲ دسیبل است. لازم بذکر است که پیاده‌سازی ضرایب مدولاتور با کمتر از این دقت در سطح مداری کاملا عملی است.



شکل ۶: طیف خروجی مدولاتور.



شکل ۷: منحنی دینامیکی خروجی مدولاتور.



شکل ۸: افت SNDR بر حسب عدم تطبیق ضرایب مدولاتور.

مشخصات مدارهای تشکیل دهنده مدولاتور با مدل سازی اثرات غیرایده‌آلی مدارهای آنالوگ در سطح سیستمی و انجام شبیه‌سازی‌های لازم بدست می‌آیند [۳۹]. از جمله مهمترین اثرات غیرایده‌آلی مدارهای آنالوگ که عملکرد مدولاتور را تحت تاثیر قرار می‌دهند، بهره dc، پهنای باند، سرعت چرخش[۱۱] و سوئینگ خروجی تقویت کننده‌های عملیاتی لازم برای پیاده‌سازی انتگرال‌گیرها می‌باشند. جدول (۱) مشخصات لازم برای OTA طبقه اول مدولاتور را نشان می‌دهد.

جدول ۱: مشخصات OTA طبقه اول.

پارامتر	مقدار
بهره فرکانس پایین	**۳۰ دسیبل**
پهنای باند بهره واحد	**۱۷۵ مگاهرتز**
سرعت چرخش	**۱۲۰ ولت بر میکرو ثانیه**
سوئینگ تفاضلی خروجی	**۰/۲۵ ولت**

طراحی مداری بلوک‌های سازنده مدولاتور

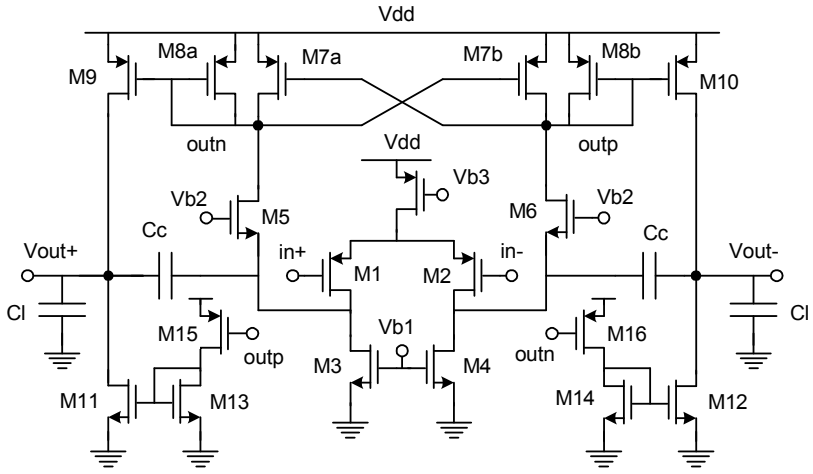
مدولاتور پیشنهاد شده در این مقاله با استفاده از مدارهای سوئیچ‌شونده خازنی در سطح مداری پیاده‌سازی شده است. تکنیک پیاده‌سازی با مدارهای سوئیچ شونده خازنی نسبت به روش‌های دیگر نظیر پیاده‌سازی پیوسته زمانی مزیت‌های عمده‌ای نظیر تطبیق بهتر و قابلیت انعطاف با تکنولوژی‌های جدید CMOS را دارد [۴۰]. از جمله مهمترین بلوک‌های سازنده مدولاتور، تقویت کننده‌های عملیاتی، مقایسه‌گرها[۱۲] و سوئیچ‌های مدار می‌باشند که به تفصیل ساختار و نحوه طراحی آنها در ادامه مورد بحث قرار می‌گیرند.

تقویت‌کننده عملیاتی

تقویت کننده‌های عملیاتی لازم برای پیاده‌سازی انتگرال‌گیرهای مدولاتور و همچنین فیلتر با پاسخ ضربه نامحدود و طبقه بهره[۱۳] بایستی در ولتاژ بسیار پایین ۱/۲ ولت در مدت کمتر از ۱۰ نانو ثانیه به اندازه دقت مورد نیاز نشست کنند. از طرفی بایستی دارای بهره dc کافی باشند تا از ایجاد هارمونیک‌ها در خروجی مدولاتور کاسته شود و از افت عملکرد مدولاتور جلوگیری گردد.

تقویت کننده‌های عملیاتی تک‌طبقه نظیر Folded-Cascode، Telescopic و غیره در ولتاژ کاری مورد نظر در این مقاله نمی‌توانند بهره dc لازم را با سوئینگ خروجی مطلوب فراهم آورند. بنابراین بایستی از یک تقویت کننده دو طبقه استفاده گردد. شکل (۹) تقویت کننده عملیاتی استفاده شده در این مقاله را نشان می‌دهد. طبقه اول این تقویت کننده عملیاتی یک تقویت کننده Folded-Cascode و طبقه دوم آن یک تقویت کننده سورس- مشترک با ساختار Class AB است. انتخاب Folded-Cascode به عنوان طبقه اول بدلیل ولتاژ پایین بودن آن و همچنین ولتاژ پایین مد مشترک ورودی آن است. ساختار Folded-Cascode نسبت به ساختار Telescopic به ولتاژ تغذیه پایین‌تری نیاز دارد. پایین بودن ولتاژ مد مشترک ورودی تقویت کننده باعث می‌شود که سوئیچ‌هایی که یک طرف آنها به این گره وصل هستند به صورت یک ترانزیستور ساده NMOS در نظر گرفته شوند که این خود پیچیدگی سیستم و همچنین طراحی سوئیچ‌ها را ساده‌تر می‌نماید.

در طراحی طبقه دوم تقویت کننده به جای یک تقویت کننده با ساختار Class A از یک ساختار Class AB استفاده شده است. ساختار Class AB طبقه خروجی باعث می‌شود که سرعت چرخش تقویت کننده توسط جریان طبقه ورودی آن محدود گردد [۲]. این امر در مدارهای سوئیچ شونده خازنی که بار خازنی بزرگتری نسبت به خازن جبران ساز تقویت کننده دارند، باعث صرفه جویی در توان مصرفی می‌گردد. همچنین در صورت انتخاب ساختار Class AB به جای ساختار Class A در طبقه خروجی تقویت کننده، قطب دوم آن تقریبا دو برابر می‌شود که این امر باعث افزایش سرعت تقویت کننده



شکل ۹: تقویت کننده عملیاتی دو طبقه Class A/AB.

مـی‌گـردد. بنابـراین جریان طبقه خروجی به جای سرعت چرخش لازم توسط قطب دوم تقویت کننده تعیین خواهد شد.

تقویت کننده‌های دو طبقه برای داشتن پایداری نیاز به جبران‌سازی فرکانسی دارند. در جبران‌سازی استاندارد میلر یک خازن بین دو طبقه تقویت کننده قرار داده می‌شود. این خازن بین یک گره امپدانس بالای طبقه اول و گره خروجی قرار می‌گیرد که باعث می‌شود که یک قطب غالب در سیستم ایجاد گردد و همچنین قطب‌های دیگر را به سمت فرکانس‌های بالا می‌راند. در جبران سازی کسکود[۱۴] خازن جبران ساز بین یک گره امپدانس پایین مسیر سیگنال طبقه اول و گره خروجی قرار داده می‌شود [۴۱]. این روش جبران سازی باعث می‌شود که یک قطب غالب حقیقی و دو قطب مختلط فرکانس بالا به همراه دو صفر سمت چپ و راست در فرکانس‌های بالا ایجاد شوند [۴۲]. ثابت شده است که یک تقویت کننده با جبران‌سازی کسکود دارای سرعت بالاتری نسبت به جبران‌سازی استاندارد میلر است. اخیرا در جبران سازی کسکود از یک خازن بین یک گره امپدانس پایین طبقه اول که در مسیر سیگنال نیست و گره خروجی استفاده شده است. نشان داده شده است که در این روش تقویت کننده نسبت به روش کسکود معمولی دارای سرعت بالاتری است [۴۳]. همچنین در قسمتی از این پژوهش، ما ثابت کرده‌ایم که استفاده از دو خازن به جای یک خازن در جبران‌سازی کسکود عملکرد بهتری بدست می‌دهد [۴۴]. یکی از این خازن‌ها بین یک گره امپدانس پایین مسیر سیگنال طبقه اول و گره خروجی قرار می‌گیرد و خازن دوم بین گره امپدانس پایین غیر مسیر سیگنال طبقه اول و گره خروجی قرار داده می‌شود. استفاده از این روش در منابع تغذیه بسیار پایین مقدور نخواهد بود، چرا که در این حالت منبع تغذیه بایستی به اندازه ولتاژ موثر درین-سورس یک ترانزیستور از ولتاژ تغذیه حالت کسکود استاندارد بالاتر باشد. در این مقاله بدلیل بسیار پایین بودن ولتاژ منبع تغذیه (۱/۲ ولت) از این تکنیک جبران‌سازی استفاده نشده است و همانطوریکه در شکل (۹) دیده می‌شود از جبران‌سازی کسکود استاندارد استفاده شده است.

تقویت کننده‌های عملیاتی کاملا تفاضلی[۱۵] نیاز به مدار فیدبک مد- مشترک[۱۶] برای مشخص کردن ولتاژ گره‌های خروجی امپدانس بالا دارند. یک تقویت کننده عملیاتی دو طبقه می‌تواند از یک مدار فیدبک مد-مشترک و یا از دو مدار فیدبک مد- مشترک جهت تنظیم ولتاژ گره‌های امپدانس بالا استفاده نماید. در حالتی که یک مدار فیدبک مد- مشترک بکار برده شود، نیاز به یک طبقه معکوس کننده در حلقه فیدبک مد- مشترک خواهد بود. نشان داده شده است که برای داشتن سرعت مناسب و همچنین پایداری بهتر در فیدبک مد- مشترک این مدار معکوس کننده توان قابل ملاحظه‌ای مصرف خواهد کرد [۴۲]. بنابراین منطقی است که از دو مدار فیدبک مد-مشترک استفاده شود. شکل (۱۰) مدار فیدبک مد-مشترک طبقه خروجی تقویت کننده را نشان می‌دهد. ترانزیستورهای M_{C1} و M_{C2} که به صورت سورس-

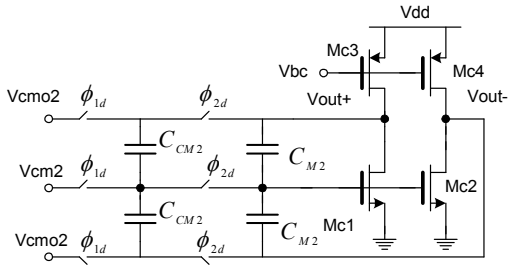
مشترک هستند، ولتاژ مد- مشترک خروجی تقویت کننده را مشخص می‌نمایند.

در طبقه اول تقویت کننده عملیاتی از یک مدار فیدبک مد- مشترک درونی استفاده شده است [۴۷-۴۵]. امپدانس گره‌های خروجی طبقه اول، *outn* و *outp* را می‌توان به صورت زیر نوشت:

$$g_{out1,diff} \approx \frac{1}{g_{m5}\, r_{ds5}\, (r_{ds1} \,||\, r_{ds3})} + (g_{m8} - g_{m7}) \approx \frac{1}{g_{m5} r_{ds5} (r_{ds1} || r_{ds3})} \quad (۶)$$

$$g_{out1,cm} \approx \frac{1}{g_{m5}\, r_{ds5}\ \ r_{ds3}} + (g_{m8} + g_{m7}) \approx (g_{m8} + g_{m7}) \quad (۷)$$

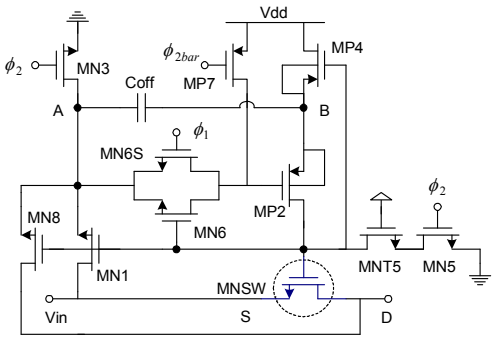
بنابراین ترانزیستورهای M_7 و M_8 به نحوی قرار داده شده‌اند که امپدانس گره‌های خروجی طبقه اول در حالت مد- مشترک بسیار پایین هستند و در حالت تفاضلی این گره‌ها به صورت امپدانس بالا در می‌آیند.



شکل ۱۰: مدار مد- مشترک طبقه خروجی تقویت کننده عملیاتی.

سوئیچ‌های مدار

در طراحی مدارهای سوئیچ شونده خازنی لازم، سوئیچ‌هایی که یک سر آنها به ولتاژ مد- مشترک ورودی وصل هستند از ترانزیستورهای NMOS استفاده شده است. ولتاژ مد- مشترک ورودی تقویت کننده‌ها برابر با ۰/۲ ولت است. در سوئیچ‌های DAC از موازی کردن ترانزیستورهای NMOS و PMOS که به اختصار CMOS نیز گفته می‌شوند، استفاده شده است. در این حالت سورس ترانزیستورهای NMOS به زمین و سورس ترانزیستورهای PMOS به ولتاژ منبع تغذیه وصل شده‌اند. لازم به ذکر است که ولتاژ فیدبک مرجع برابر با ولتاژ منبع تغذیه در نظر گرفته شده است. در طراحی سوئیچ‌هایی که ولتاژ هر دو سر آنها تغییر می‌کنند، و یا به عبارتی بایستی Rail-to-Rail کار کنند، از تکنیک Bootstrapping استفاده شده است [۴۶]. شکل (۱۱) مدار لازم برای پیاده‌سازی سوئیچ‌های Bootstrap را نشان می‌دهد. در این تکنیک وقتی که سوئیچ قطع است، گیت ترانزیستور NMOS که به عنوان سوئیچ اصلی بکار برده می‌شود، به زمین وصل می‌گردد. در حالتی که سوئیچ باید روشن شود یک ولتاژ تقریبا ثابت به اندازه ولتاژ منبع تغذیه مدار در دو سر گیت- سورس سوئیچ قرار می‌گیرد. نحوه کار مدار نشان داده شده در شکل (۱۱) به صورت زیر است.



شکل ۱۱: مدار Bootstrapping سوئیچ‌ها.

خازن C_{off} در طی فاز ϕ_2 از طریق ترانزیستورهای $MN3$ و $MP4$ به اندازه ولتاژ منبع تغذیه شارژ می‌گردد، در حالیکه سوئیچ اصلی $MNSW$ از طریق ترانزیستورهای $MN5$ و $MNT5$ که گیت آن را به زمین وصل می‌کنند، خاموش می‌باشد. در طی فاز ϕ_1، خازن C_{off} از طریق ترانزیستورهای $MN1$ و $MP2$ در دو سر گیت- سورس سوئیچ اصلی $MNSW$ قرار می‌گیرد. ترانزیستور $MN6S$ باعث تریگر شدن ترانزیستور $MP2$ در ابتدای فاز ϕ_1 می‌شود و ترانزیستور $MN6$ باعث روشن نگهداشتن آن در حالتی که ولتاژ گره A به مقدار ولتاژ منبع تغذیه می‌رسد، می‌گردد. ترانزیستور $MNT5$ برای جلوگیری از افزایش ولتاژ گیت- درین ترانزیستور $MN5$ به مقدار بیش از مقدار منبع تغذیه در طی فاز ϕ_1 که این ترانزیستور خاموش است، بکار برده شده است. در این ساختار سعی شده است که ولتاژ گیت- درین هیچ ترانزیستوری از مقدار ولتاژ منبع تغذیه تجاوز نکند که این امر برای جلوگیری از شکست اکسید در تکنولوژی‌های CMOS مدرن امروزی که برای ولتاژهای تغذیه پایین

طراحی شده‌اند، ضروری است. ترانزیستور $MN8$ برای محدود کردن ولتاژ گیت- درین سوئیچ اصلی $MNSW$ در ابتدای روشن شدن آن بکار برده شده است که به متقارن شدن آن نیز کمک می‌کند. لازم به ذکر است که فازهای ϕ_1 و ϕ_2 دو فاز ناهمپوشا هستند.

مدار اولین انتگرال‌گیر و DAC

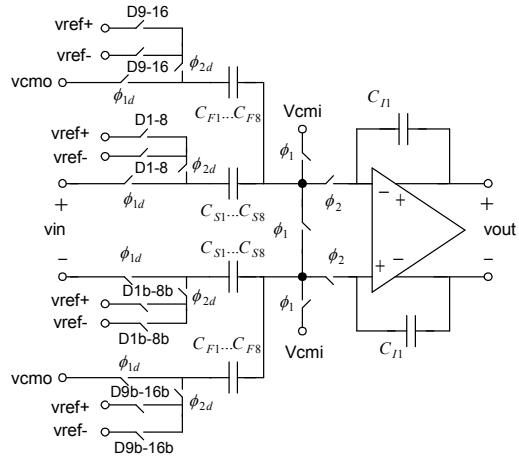
شکل (۱۲) مدار اولین انتگرال‌گیر و DAC را نشان می‌دهد. در قسمت نمونه‌برداری از ۱۶ خازن مساوی که به صورت موازی هستند، استفاده شده است. در طی فاز ϕ_1 سیگنال آنالوگ ورودی توسط خازن‌های C_{S1} تا C_{S8} نمونه برداری می‌شود. در طی همین فاز خازن‌های C_{F1} تا C_{F8} به ولتاژ مد- مشترک خروجی وصل می‌شوند. مقدار هر یک از این خازن‌ها ۰/۵ پیکوفاراد است. توان نویز kT/C ناشی از سوئیچ‌های اولین انتگرال‌گیر در حدود ۹۵/۷- دسیبل است که این مقدار برای رسیدن به دقت کل مدولاتور به ۹۰ دسیبل مناسب می‌باشد. مقدار خازن C_{I1} برابر با ۸ پیکوفاراد در نظر گرفته شده است. بدین ترتیب ضریب ۰/۵ در ورودی مدولاتور پیاده‌سازی می‌شود. در فاز ϕ_2 یک سر خازن‌های C_S و C_F بسته به مقدار بیت‌های خروجی کوانتایزر به $\pm Vref$ وصل می‌شوند. از دو فاز ناهمپوشای ϕ_1 و ϕ_2 و همچنین تاخیر یافته‌های آنها ϕ_{1d} و ϕ_{2d} جهت حذف بار وابسته به سیگنال ورودی استفاده شده است. سوئیچ‌هایی که توسط فازهای ϕ_{1d} و ϕ_{2d} کنترل می‌شوند، بدلیل نیاز به کار آنها به صورت Rail-to-Rail به صورت Bootstrap پیاده‌سازی شده‌اند. سوئیچ‌های ϕ_1 و ϕ_2 به صورت NMOS و سوئیچ‌های DAC به صورت CMOS تحقق یافته‌اند. برای خطی‌سازی DAC از روش DWA استفاده شده است.

پیاده‌سازی فیلتر با پاسخ ضربه نامحدود

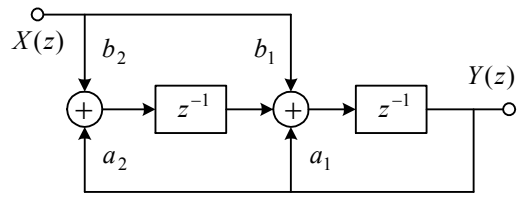
فیلتر با پاسخ ضربه نامحدود بکار رفته در ساختار مدولاتور را می‌توان به صورت سیگنال فلوی گراف شکل (۱۳) نشان داد. همانطوریکه دیده می‌شود، این یک فیلتر مرتبه دوم است و شامل دو عنصر تاخیر می‌باشد. عناصر تاخیر را می‌توان با استفاده از مدار سوئیچ شونده خازنی نشان داده در شکل (۱۴) پیاده‌سازی کرد [۳۶].

بنابراین پیاده‌سازی فیلتر با پاسخ ضربه نامحدود به صورت شکل (۱۵) خواهد بود. می‌توان نشان داد که تابع تبدیل فیلتر با پاسخ ضربه نامحدود شکل (۱۵) به صورت زیر خواهد بود:

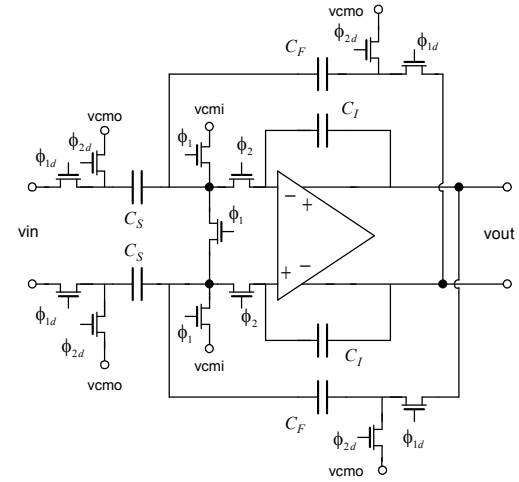
$$H(z)=\frac{Vout(z)}{Vin(z)}=\frac{\frac{C_3}{C_{f2}}z^{-1}-\frac{C_1}{C_{f1}}z^{-2}}{1-\frac{C_4+C_{f2}}{C_{f2}}z^{-1}+\frac{C_2}{C_{f1}}z^{-2}} \quad (۸)$$



شکل ۱۲: مدار اولین انتگرال‌گیر و DAC.



شکل ۱۳: سیگنال فلوی گراف فیلتر با پاسخ ضربه نامحدود.

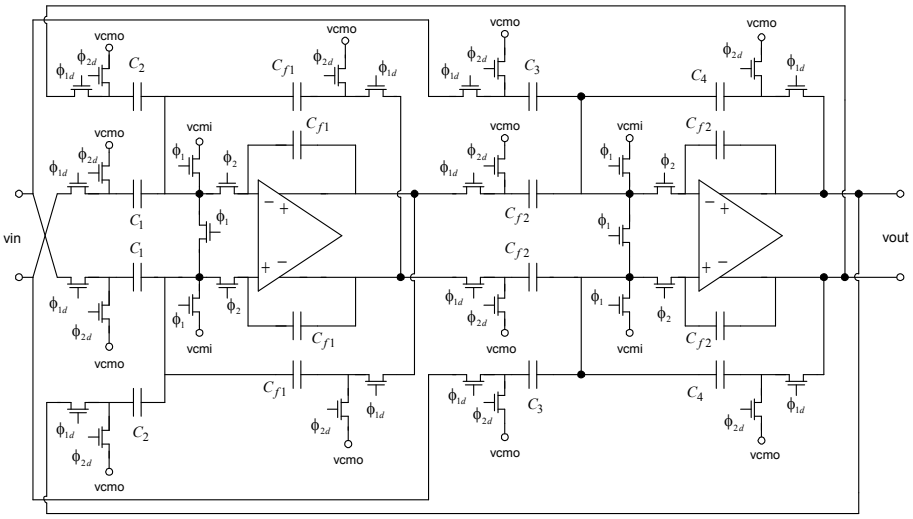


شکل ۱۴: مدار سوئیچ شونده خازنی عنصر تاخیر.

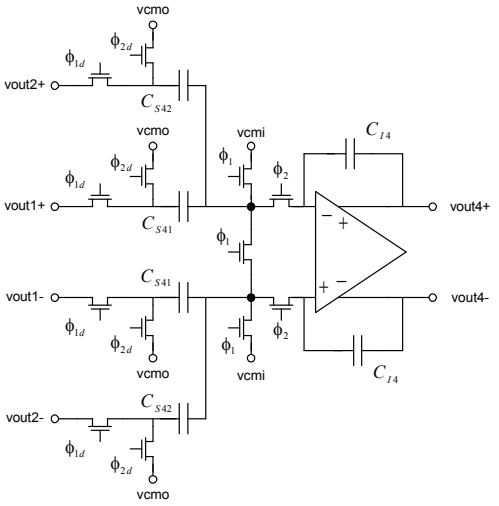
مدار چهارمین انتگرال‌گیر و طبقه بهره

شکل (۱۶) مدار سوئیچ شونده خازنی انتگرال‌گیر چهارم را نشان می‌دهد. خازن‌های این مدار توسط دقت تطبیق لازم بدست آمده از تست مونت کارلو تعیین می‌شوند. برای پیاده‌سازی سوئیچ‌هایی که توسط فازهای ϕ_{1d} و ϕ_{2d} کنترل می‌شوند، بدلیل نیاز به کار آنها به صورت Rail-to-Rail به صورت Bootstrap پیاده‌سازی شده‌اند. سوئیچ‌های ϕ_1 و ϕ_2 به صورت NMOS تحقق یافته‌اند. نحوه کار مدار این انتگرال‌گیر مشابه انتگرال‌گیر طبقه اول است. در طی فاز ϕ_1 سیگنال ورودی توسط خازن‌های C_{S4} نمونه برداری می‌شود. در طی فاز بعدی یعنی ϕ_2 این خازن‌ها بار خود را به خازن‌های C_{I4} منتقل می‌کنند.

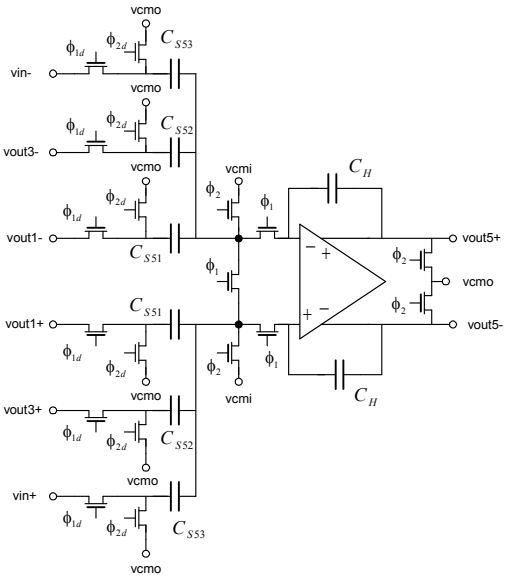
در شکل (۱۷) مدار سوئیچ شونده خازنی طبقه بهره نشان داده شده است. این طبقه ابتدا هر سه سیگنال دریافتی را در بهره مورد نظر آن مسیر ضرب کرده و سپس آنها را با هم جمع می‌کند. در طی فاز ϕ_2 تقویت کننده عملیاتی مورد استفاده قرار نمی‌گیرد و خروجی‌های آن به ولتاژ مد- مشترک خروجی وصل می‌شوند. همچنین در طی همین فاز خازن‌های نمونه برداری دشارژ می‌گردند. در طی فاز ϕ_1 همزمان سیگنال ورودی توسط خازن‌های نمونه برداری ذخیره شده و به خروجی انتقال می‌یابد. بدین ترتیب این مدار طبقه بهره بدون تاخیر عمل می‌کند.



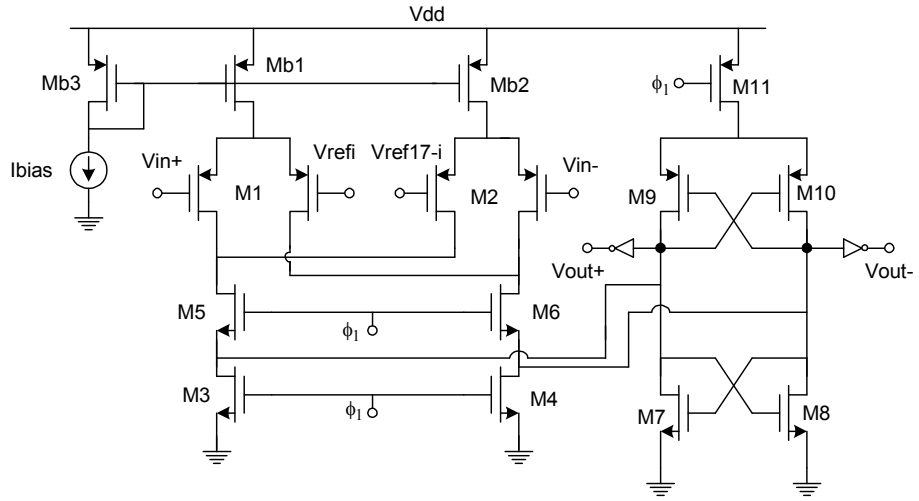
شکل ۱۵: مدار سوئیچ شونده خازنی فیلتر با پاسخ ضربه نامحدود.



شکل ۱۶: مدار چهارمین انتگرال‌گیر.



شکل ۱۷: مدار طبقه بهره.



شکل ۱۸: مدار مقایسه‌گر.

مدار مقایسه‌گرها

شکل (۱۸) مدار مقایسه‌گرهای لازم برای پیاده‌سازی کوانتایزر ۴- بیتی استفاده شده را نشان می‌دهد. در ساختار مقایسه‌گر از یک پیش تقویت کننده و دو Latch استفاده شده است [۴۸]. پیش تقویت کننده‌های تفاضلی M_1 و M_2 باعث کاهش آفست[۱۷] ورودی مقایسه‌گر و افزایش دقت آن می‌گردند [۵۲]-[۴۹]. کوانتایزرهای ولتاژ پایین بایستی بتوانند با ولتاژهای مرجع برابر با منبع تغذیه مدار کار کنند. برای این منظور از دو پیش تقویت کننده تفاضلی M_1 و M_2 استفاده شده است. وقتی که قطب مثبت سیگنال ورودی بالاتر از نصف ولتاژ منبع تغذیه که همان ولتاژ مد- مشترک خروجی تقویت کننده و همچنین ولتاژ مد- مشترک ورودی مقایسه‌گر است، قطب منفی آن پایین‌تر از این ولتاژ قرار خواهد گرفت و پیش تقویت کننده عملیاتی M_2 به جای M_1 کار خواهد کرد و در حالت بر عکس M_1 به جای M_2 به تقویت سیگنال ورودی خواهد پرداخت. ترانزیستورهای M_3 و M_4 به صورت یک مقاومت در ناحیه خطی کار می‌کنند. ترانزیستورهای M_5 و M_6 جهت جلوگیری از Kickback خروجی مقایسه‌گر به ورودی آن بکار برده شده‌اند. بنابراین وقتی که ولتاژ یکی از گره‌های خروجی از حالت زمین به Vdd تغییر می‌کند، ترانزیستورهای M_5 و M_6 باعث جلوگیری از تغییر ولتاژ گره‌های ورودی مقایسه‌گر که از طریق خازن‌های درین- گیت ترانزیستورهای M_1 و M_2 صورت می‌گیرد، می‌شوند.

در ساختار مقایسه‌گر از دو Latch برای افزایش سرعت آن استفاده شده است. برای کاهش توان مصرفی مقایسه‌گر در فاز Regeneration ترانزیستورهای M_1 و M_2 قطع می‌شوند. همچنین در فاز ϕ_1 که سیگنال ورودی توسط پیش تقویت کننده‌های M_1 و M_2 تقویت می‌شود، Latch های مقایسه‌گر خاموش می‌شوند. نحوه کار مدار مقایسه‌گر به صورت زیر است:

در فاز ϕ_1 سیگنال تفاضلی ورودی توسط پیش تقویت کننده‌های M_1 و M_2 تقویت می‌گردد. وقتی که کلاک ϕ_1 قطع می‌گردد، Latch بالایی PMOS شروع به Regeneration می‌کند. بعد از مدتی Latch پایینی NMOS به آن کمک کرده و خروجی مقایسه‌گر آماده می‌گردد. ولتاژ آفست ورودی مقایسه‌گر بستگی به تطبیق ترانزیستورهای آن که یک فرآیند تصادفی است، دارد [۵۴،۵۳]. واریانس ولتاژ آفست ارجاع داده شده به ورودی مقایسه‌گر را می‌توان به صورت زیر نوشت:

$$\sigma^2_{offset} = \sigma_1^2 + \sigma_2^2 + \sigma_3^2 \qquad (۹)$$

$$\sigma_1^2 = \frac{A_{VTP}^2}{W_1 L_1} + \frac{V_{eff1}^2}{4} \cdot \frac{A_{\beta P}^2}{W_1 L_1} \qquad (۱۰)$$

$$\sigma_2^2 = \frac{g_{m3}^2}{g_{m1}^2} \cdot \left\{ \frac{A_{VTN}^2}{W_3 L_3} + \frac{V_{eff3}^2}{4} \cdot \frac{A_{\beta N}^2}{W_3 L_3} \right\} \qquad (۱۱)$$

$$\sigma_3^2 = \frac{g_{m9}^2}{g_{m1}^2} \cdot \left\{ \frac{A_{VTP}^2}{W_9 L_9} + \frac{V_{eff9}^2}{4} \cdot \frac{A_{\beta P}^2}{W_9 L_9} \right\} \quad (۱۲)$$

که در آنها A_{VTP}، A_{VTN}، $A_{\beta P}$ و $A_{\beta N}$ پارامترهای عدم تطبیق تکنولوژی هستند. در طراحی کوانتایزر ۴- بیتی بایستی آفست ورودی مقایسه‌گر کمتر از $0.5\,LSB$ آن باشد. برای افزایش Yield باید مقدار این ولتاژ آفست خیلی کمتر از $0.5\,LSB$ در نظر گرفته شود.

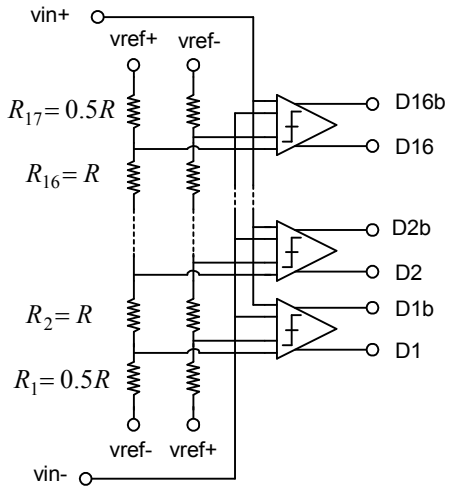
کوانتایزر ۴- بیتی

شکل (۱۹) یک کوانتایزر ۴- بیتی که با ساختار Flash پیاده‌سازی شده است را نشان می‌دهد. مقاومت‌های R_1 تا R_{17} برای ایجاد ولتاژهای مرجع بکار برده شده‌اند. اگر مقدار این مقاومت‌ها بزرگتر انتخاب شود، توان مصرفی نردبان مقاومتی کمتر خواهد شد. از طرفی بزرگ در نظر گرفتن مقدار آنها باعث افزایش Feedthrough سیگنال ورودی به ولتاژهای مرجع ایجاد شده توسط نردبان مقاومتی خواهد شد. بیشترین مقدار Feedthrough به نقطه وسط نردبان منتقل می‌شود که مقدار آن به صورت زیر است [۵۶، ۵۱، ۵۰] [۵۵].

$$\frac{Vmid}{Vin} = \frac{\pi}{4} f_{in}\, RC \quad (۱۳)$$

که در آن $Vmid$ ولتاژ Feedthrough به نقطه میانی نردبان مقاومتی، Vin سیگنال ورودی، R مقاومت کل نردبان و C کل خازن موجود در مسیر سیگنال ورودی به وسط نردبان مقاومتی می‌باشند. در این پروژه f_{in} برابر با ۴۰ مگاهرتز و خازن C حداکثر برابر با ۰/۵ پیکوفاراد است. بنابراین برای اینکه این ولتاژ Feedthrough کمتر از $0.5\,LSB$ باشد، بایستی مقدار مقاومت کل نردبان کمتر از ۴ کیلو اهم باشد. در عمل برای افزایش Yield بایستی مقدار Feedthrough کوچکتر از $0.5\,LSB$ باشد. بنابراین مقدار هر کدام از مقاومت‌های نردبان برابر با ۱۰۰ اهم در نظر گرفته شده است که در این حالت مقدار ولتاژ Feedthrough کمتر از $0.2\,LSB$ خواهد بود. همچنین از دو نردبان مقاومتی برای ایجاد ولتاژهای مرجع مثبت و منفی استفاده شده است.

خروجی‌های D1-D16 و D1b-D16b که به صورت کد حرارتی هستند، توسط یک اینکدر به کد باینری تبدیل می‌شوند. مقایسه‌گرهای کوانتایزر در فاز ϕ_1 که خروجی طبقه بهره آماده است، سیگنال دریافتی را تقویت می‌نمایند. همچنین در طی همین فاز خروجی مقایسه‌گرها Reset می‌شوند. برای نگهداری خروجی کوانتایزر و استفاده از آن در فاز ϕ_2 در مبدل DAC لازم است که از یک SR Latch استفاده شود. SNDR خروجی مبدل Flash طراحی شده با اعمال یک سیگنال ورودی سینوسی با دامنه ۰/۵ ولت و فرکانس ۶۲۵ کیلو هرتز حدود ۲۴/۵ دسیبل است.

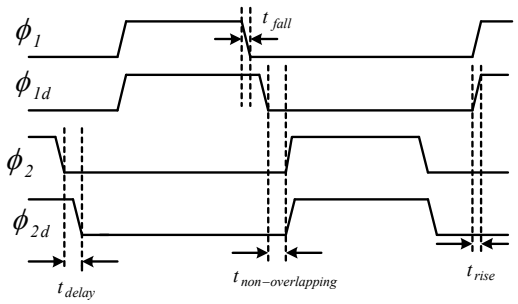


شکل ۱۹: کوانتایزر ٤- بیتی.

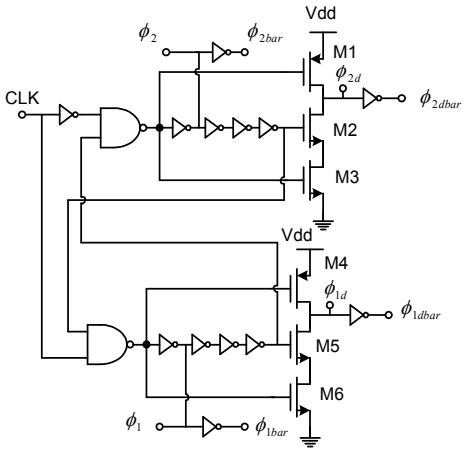
مدار تولید کلاک[۱۸]

مدار انتگرال‌گیرها برای می‌نیمم کردن خطاهای تزریق بار وابسته به سیگنال ورودی نیاز به دو کلاک با فازهای غیرهمپوشانی شده دارند. شکل (۲۰) شکل موج فازهای لازم را نشان می‌دهد. ϕ_{1d} و ϕ_{2d} تاخیر یافته فازهای ϕ_1 و ϕ_2 هستند. لبه‌های بالا رونده ϕ_1 و ϕ_{1d} و همچنین ϕ_2 و ϕ_{2d} یکسان در نظرگرفته شده‌اند، زیرا برای حذف اثر خطای تزریق بار وابسته به سیگنال فقط کافی است که لبه‌های پایین رونده آنها دارای تاخیر باشند. یکی در نظر گرفتن لبه‌های بالا رونده فازها باعث افزایش زمان نشست در دسترس تقویت کننده‌های عملیاتی می‌گردد. زمان‌های نشست و نمونه‌برداری هر کدام حدود ٪۴۴ و سایر زمان‌های لازم برای صعود، نزول، تاخیر و زمان غیرهمپوشانی حدد ٪۱۲ پرید کلاک اصلی در نظر گرفته شده‌اند.

مدار تولید کلاک در شکل (۲۱) نشان داده شده است. ترانزیستورهای M1-M3 و M4-M6 باعث می‌شوند که لبه‌های بالا رونده فازهای ϕ_1 و ϕ_{1d} و همچنین ϕ_2 و ϕ_{2d} یکسان باشند. تاخیر و زمان غیرهمپوشانی توسط تاخیر زنجیره معکوس کننده‌ها و گیت‌های NAND کنترل می‌شوند.



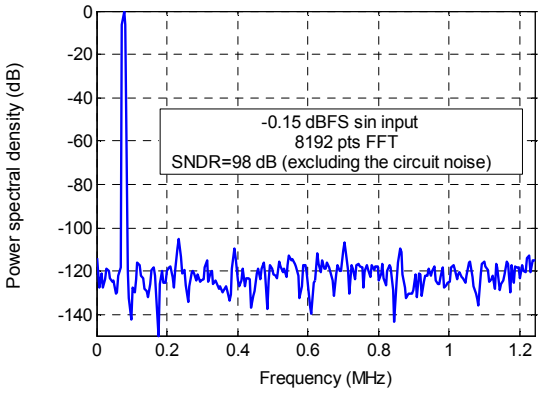
شکل ۲۰: شکل موج فازهای لازم.



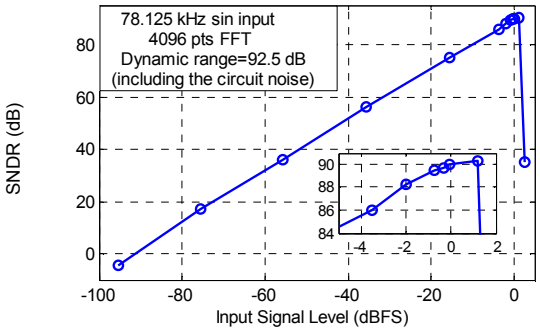
شکل ۲۱: مدار تولید کلاک.

نتایج شبیه‌سازی

مدولاتور مرتبه چهارم پیشنهاد شده در این مقاله به کمک تکنولوژی ۰/۱۳ میکرون CMOS با نرم‌افزار HSPICE طراحی و شبیه‌سازی شده است. فرکانس نمونه‌برداری مدولاتور ۴۰ مگاهرتز و نرخ نایکوئیست خروجی آن ۲/۵ مگاهرتز است. جدول (۲) خلاصه مشخصات مدولاتور شبیه‌سازی شده را نشان می‌دهد. منحنی طیف خروجی مدولاتور در شکل (۲۲) رسم شده است. برای خطی‌سازی DAC از روش DWA استفاده شده است. SNDR خروجی مدولاتور در حالتی که خازن‌های DAC به اندازه ۰/۱ درصد با هم عدم تطبیق دارند، به اندازه ۲۰ دسیبل افت می‌کند. با خطی‌سازی DAC به کمک DWA مقدار SNDR به ۹۸ دسیبل می‌رسد. همچنین مقدار تون‌های طیفی ایجاد شده در روش DWA ناچیز هستند. شکل (۲۳) منحنی دینامیکی خروجی مدولاتور را نشان می‌دهد. لازم بذکر است که مدولاتور پیشنهاد شده در این مقاله در گوشه‌های مختلف پروسس با در نظر گرفتن تغییرات دما شبیه‌سازی شده است. ولی بدلیل تغییر ناچیز عملکرد آن فقط نتایج شبیه‌سازی در گوشه معمولی پروسس گزارش شده است. مقاوم بودن مدولاتور نسبت به گوشه‌های پروسس ناشی از ساختار مدولاتور پیشنهاد شده و همچنین در نظر گرفتن Over-Design کافی برای هر یک از بلوک‌های سازنده آن می‌باشد.



شکل ۲۲: طیف خروجی مدولاتور در حالت معمولی پروسس.



شکل ۲۳: منحنی دینامیکی خروجی مدولاتور.

نتیجه‌گیری و پیشنهادات

در این مقاله یک مدولاتور سیگما- دلتای تک‌حلقه‌ای برای کاربردهای سرعت بالا در ولتاژهای بسیار پایین پیشنهاد شده است. بهره خارج از باند سیگنال تابع تبدیل نویز ساختار مدولاتور پیشنهاد شده نسبت به مدولاتورهای تک‌حلقه‌ای متداول بسیار بالا بوده و این امر باعث افزایش SNDR ماکزیمم خروجی بدون هیچگونه نگرانی در پایداری مدولاتور می‌گردد. از فیلترهای با پاسخ

جدول ۲: خلاصه مشخصات مدولاتور.

Parameter	Value
Dynamic Range	92.5 dB
Peak SNR	90.5 dB
Peak SNDR	90 dB
Overload Level	+1.2 dBFS
Sampling Rate	40 MHz
Oversampling Ratio	16
Signal Bandwidth	1.25 MHz
Power Supply Voltage	1.2 V
Power Consumption First Integrator IIR Block Fourth Integrator Gain Stage Quantizer Other Blocks	**40 mW** 11 mW 10 mW 5 mW 4 mW 7 mW 3 mW
Technology	0.13-um, Digital CMOS, 1 Poly, 8 Metal (1P8M)

ضربه نامحدود برای این کار استفاده شده است. برای کاهش هارمونیک‌های ناشی از اثرات غیرایده‌آلی مدارهای آنالوگ لازم برای پیاده‌سازی مدولاتور و همچنین اعوجاج فاز ناشی از فیلتر با پاسخ ضربه نامحدود از تکنیک واحد بودن تابع تبدیل سیگنال استفاده شده است. لازم به ذکر است که مرتبه مدولاتور پیشنهاد شده می‌تواند به راحتی به ساختارهای مرتبه بالا افزایش داده شود. یک تقویت کننده عملیاتی دو طبقه Class A/AB جدیدی برای پیاده‌سازی مدولاتور در سطح مداری پیشنهاد شده است. کلیه مدارهای لازم برای ساخت مدولاتور در سطح مداری به کمک نرم‌افزار HSPICE با یک تکنولوژی ۰/۱۳ میکرون CMOS طراحی و شبیه‌سازی شده‌اند. SNDR ماکزیمم خروجی مدولاتور با در نظر گرفتن کلیه نویزهای مداری در پهنای باند سیگنال ورودی ۱/۲۵ مگاهرتز حدود ۹۰ دسیبل است. محدوه دینامیکی حدود ۹۲/۵ دسیبل و توان مصرفی کل مدولاتور حدود ۴۰ میلی‌وات هستند.

امروزه با توجه به کاهش منبع تغذیه مدارهای مجتمع و نیاز سیستم‌های جدید به پهنای باند بیشتر طراحی مبدل‌های آنالوگ به دیجیتال برای این نوع کاربردها مورد نظر می‌باشند. کاهش توان مصرفی و در عین حال دست یافتن به دقت بالا از جمله اهداف طراحی این نوع مبدل‌ها می‌باشند. بنابراین، در حال حاضر طراحی و ساخت مدولاتورهای سیگما- دلتا با عملکرد بالا از جمله مهمترین پروژه‌های دانشگاهی و صنعتی می‌باشند.

تشکر و قدردانی

این پژوهش با استفاده از اعتبارات شورای پژوهشی دانشگاه تهران انجام شده است.

مراجع

1 - Northworthy, S. R., Schreier, R. and Temes, G. C. (1997). *Delta-sigma data converters*, Piscataway, NJ: IEEE Press, ISBN 0-7803-1045-4.

2 – Rabii, S. and Wooley, B. A. (1997). "A 1.8-V digital-audio sigma-delta modulator in 0.8-µm CMOS." *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, PP. 783-796.

3 -Gupta, S. K., Brooks, T. L. and Fong, V. (2002). "A 64MHz ΣΔ with 105dB IM3 distortion using a linearized replica sampling network." *In ISSCC Digest Tech. Papers*, PP. 224-225.

4 - del Rio, R. et al. (2002). "A 2.5-V ΣΔ modulator in 0.25-µm CMOS for ADSL." *IEEE Symposium on Circuits and Systems*, Vol. 3, PP. 301-304.

5 – Fujimori, I. et al. (2000). "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8× oversampling." *IEEE J. Solid-State Circuits*, Vol. 35, No. 12, PP. 1820-1828.

6 - Vleugels, K., Rabii, S. and Wooley, B. (2001). "A 2.5-V sigma-delta modulator for broadband communications applications." *IEEE J. Solid-State Circuits*, Vol. 36, No. 12, PP.1887-1899c.

7 – Yavari, M. et al. (2002). "A 3.3-V 18-bit digital audio sigma-delta modulator in 0.6µm CMOS." *IEEE Symposium on Circuits and Systems*, Vol. 2, PP. 640-643.

8 - Geerts, Y., Steyaert, M. and Sansen, W. (2000). "A high-performance multi-bit ΔΣ CMOS ADC." *IEEE J. Solid-State Circuits*, Vol. 35, No. 12, PP. 1829-1840.

9 – Ju, P. and Suyama, K. (1997). "Design considerations in high-order multi-bit sigma-delta modulators." *IEEE Symposium on Circuits and Systems*, PP. 389-392.

10 – Yang, C. C. et al. (2002). "Transfer function design of stable high-order sigma-delta modulators with root locus inside unit circle." *ASIC on 2002,* PP. 5-8.

11 – Bourdopoulos, G. I. et al. (2002). "Optimal NTFs for single-bit ΣΔ modulators." *DSP* on 2002, PP. 877-880.

12 – Baird, R. T. and Fiez, T. (1994). "Stability analysis of high-order delta-sigma modulation for ADCs." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 41, No. 1, PP. 59-62.

13 - Balmelli, P., Huang, Q. and Piazza, F. (2000). "A 50-mW 14-bit 2.5MS/s Σ-Δ modulator in a 0.25μm digital CMOS technology." *In VLSI Symp. on Circuits Digest Tech. Papers*, PP. 142-143.

14 - Chao, K., Nadeem, S., Lee, W. and Sodini, C. (1990). "A higher order topology for interpolative modulators for Oversampling A/D converters." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 37, No. 3, PP. 309-318, March 1990.

15 - Reutemann, R., Balmelli, P. and Huang, Q. (2002). "A 33mW 14b 2.5MSample/s ΣΔ A/D converter in 0.25μm digital CMOS." *In ISSCC Digest Tech. Papers*, PP. 316-317.

16 – Coban, A. and Allen, P. (1995). "Single-loop delta-sigma modulator with swing suppression." *IEE Electronics Letters*, Vol. 31, No. 22, PP. 1886-1887.

17 – Lin, Z. M. and Sheu, W. H. (1990). "A generic multiple-feedback architecture and method for the design of high-order Σ-Δ modulators." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 49, No. 7, PP. 465-473.

18 – Fischer, G. and Davis, A. J. (1997). "Alternative topologies for sigma-delta modulators- A comparative study." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 44, No. 10, PP. 789-797.

19 – Baird, R. T. and Fiez, T. (1995). "Linearity enhancement of multibit delta-sigma A/D and D/A converters using data weighted averaging." *IEEE Trans. on circuits and systems*, TCAS-II, Vol. 42, No.12, PP. 753-762.

20 – Chen, F. and Leung, B. H. (1995). "A high resolution multibit sigma-delta modulator with individual level averaging." *IEEE J. Solid-State Circuits*, Vol. 30, No. 4, PP. 453-460.

21 - Zhimin Li. and Fiez, T. (2002). "Dynamic element matching in low oversampling delta sigma ADCs." *IEEE Symposium on Circuits and Systems*, Vol. 4, PP. 683-686.

22 – Nys, O. and Henderson, R. (1997). "A 19-bit low-power multibit sigma-delta ADC based on data weighted averaging." *IEEE J. Solid-State Circuits*, Vol. 32, No. 7, PP. 933-942.

23 – Nys, O. and Henderson, R. (1996). "An analysis of dynamic element matching techniques in sigma-delta modulation." *IEEE Symposium on Circuits and Systems*, PP. 231-234.

24 – Chen, F. and Leung, B. H. (1998). "Some observations on tone behavior in data weighted averaging." *IEEE Symposium on Circuits and Systems*, Vol. 1, PP. 500-503.

25 – Hamoui, A. and Martin, K. (2002). "Linearity enhancement of multibit delta-sigma modulators using pseudo data-weighted averaging." *IEEE Symposium on Circuits and Systems*, Vol. 3, PP. 285-288.

26 – Williams, L. III. (1998). "An audio DAC with 90dB linearity using MOS to metal-metal charge transfer." in *ISSCC Digest Technical Papers*, PP. 58-59.

27 – Schreier, R. and Zhang, B. (1995). "Noise-shaped multibit D/A converter employing unit elements." *IEE Electronics letters*, Vol. 31, No. 20, PP. 1712-1713.

28 - Wang, X., Moon, U., Liu, M. and Temes, G. C. (2002). "Digital correlation technique for the estimation and correction of DAC errors in multibit MASH delta-sigma ADCs," *IEEE Symposium on Circuits and Systems*, Vol. 4, PP. 691-694.

29 – Neitola, N. and Rakhonen, T. (2002). "Study of fully digital error correction in multibit delta-sigma converters." *IEEE Symposium on Circuits and Systems*, Vol. 2, PP. 624-627.

30 – Petrie, C. and Miller, M. (2000). "A background calibration technique for multibit delta-sigma modulators." *IEEE Symposium on Circuits and Systems*, Vol. 2, PP. 29-32.

31 - Sarhang-Nejad, M. and Temes, G. (1993). "A high-resolution multibit sigma-delta ADC with digital correction and relaxed amplifier requirements." *IEEE J. Solid-State Circuits*, Vol. 28, No. 6, PP. 648-660.

32 - Galton, I. (2000). "Digital Cancellation of D/A converter noise in pipelined A/D converters." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 47, No. 3, PP. 185-196.

33 - Moon, U., Silva, J. Steensgaard, J. and Temes, G. C. (2000). "A switched-capacitor DAC with analog mismatch correction." *IEEE Symposium on Circuits and Systems*, Vol. 4, PP. 421-424.

34 - Moon, U., Temes, G. C. and Steensgaard, J. (1999). "Digital techniques for improving the accuracy of data converters." *IEEE Communications Magazine*, PP. 136-143.

35 - Silva, J., Wang, X., Kiss, P., Moon, U. and Temes, G. C. (2002). "Digital techniques for improved delta-sigma data conversion." *Proc. Custom Integrated Circuits Conference*, PP. 183-190.

36 – Jiang, R. and Fiez, T. (2002). "A 1.8V ΔΣ A/D converter with 4MSample/s conversion." *ISSCC Digest Technical Papers*.

37 - Silva, J., Moon, U., Steensgaard, J. and Temes, G. C. (2001). "Wideband low-distortion delta-sigma ADC topology." *IEE Electronics Letters*, Vol. 37, No. 12, PP. 737-738.

38 - Schreier, R. (1999). *Delta-sigma toolbox*, Oregon State University, Version 3.

39 – Malcovati, P. et al. (2003). "Behavioral modeling of switched-capacitor sigma-delta modulators." *IEEE Trans. Circuits and Systems*, TCAS II, Vol. 50, No. 3, PP. 352-364.

40 – Szentirmal, G. and Temes, G. C. (1980). "Switched-capacitor building blocks." *IEEE Trans. Circuits and Systems*, Vol. 27, No. 6, PP. 492-501.

41 - Ahuja, B. (1983). "An improved frequency compensation technique for CMOS operational amplifiers." *IEEE J. Solid-State Circuits*, Vol. 18, No. 6, PP. 629-633.

42 - Feldman, A. (1997). *High-speed, low-power sigma-delta modulators for RF baseband channel applications*, Ph.D. Dissertation, University of California at Berkeley.

43 - Yao, L., Steyaert, M. and Sansen, W. (2002). "Fast-settling CMOS two-stage operational transconductance amplifiers and their systematic design." *IEEE Symposium on Circuits and Systems*, Vol. 2, PP 839-842.

44 – Yavari, M. and Shoaei, O. (2003). "Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications." *International Symposium on Low Power Electronics and Design*, ISLPED, Seoul, Korea, PP. 345-348.

45 – Waltari, M. and Halonen, K. (1998). "Fully differential switched opamp with enhanced common mode feedback." *IEE Electronics Letters*, Vol. 34, No. 23, PP. 2181-2182.

46 – Dessouky, M. and Kaiser, A. (2001). "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping." *IEEE J. Solid-State Circuits*, Vol. 36, No. 3, PP. 349-355.

47 – Yavari, M. et al. (2003). "A very low-voltage, low-power and high-resolution sigma-delta modulator for digital audio in 0.25-μm CMOS." *IEEE Symposium on Circuits and Systems*, Vol. 2, PP. 1045-1048.

48 – Amaral, P. et al. (2002). "An improved low-voltage low-power CMOS comparator to be used in high-speed pipeline ADCs." *IEEE Symposium on Circuits and Systems*, Vol. 4, PP. 141-144.

49 - Yukawa, A. (1985). "A CMOS 8-bit high-speed A/D converter IC." *IEEE J. Solid-State Circuits*, Vol. 20, No. 3, PP. 629-633.

50 - Kim, K. Y., Kusayanagi, N. and Abidi, A. A. (1997). "A 10-b, 100-MS/s CMOS A/D converter." *IEEE J. Solid-State Circuits*, Vol. 32, No. 3, PP. 629-633.

51 – Uyttenhove, K. and Steyaert, M. (2003). "A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25μm CMOS." *IEEE J. Solid-State Circuits*, Vol. 38, No. 7, PP. 1115-1122.

52 - Yin, G., Eynde, F. and Sansen, W. (1992). "A high-speed comparator with 8-b resolution." *IEEE J. Solid-State Circuits*, Vol. 27, No. 2, PP. 208-211.

53 – Pelgrom, M. et al. (1998). "Transistor matching in analog CMOS applications." *In Proc. IEDM,* PP. 915-918.

54 – Geerts, Y. and Steyaert, M. (1999). "Flash A/D specifications for multi-bit ΔΣ A/D converters." *Proc. Advanced A/D and D/A Conversion Techniques and their Applications*, PP. 50-53.

55 – Venes, A. and Plassche, R. (1996). "An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing." *IEEE J. Solid-State Circuits*, Vol. 31, No. 12, PP. 1846-1853.

56 - Razavi, B. (1995). *Principles of data conversion system design*, IEEE Press.

واژه‌های انگلیسی به ترتیب استفاده در متن

1 - Oversampling
2 - Fold
3 - Single Loop
4 - Multi Loop
5 - Cascade
6 - Leakage
7 - Overload
8 - Settling
9 - Operational amplifier
10 - Dynamic Range
11 - Slew rate
12 - Comparator
13 - Gain Stage
14 - Cascode
15 - Fully differential
16 - Common-mode feedback
17 - Offset
18 - Clock